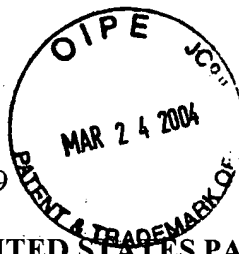


Docket No.: 61282-039



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Masaya SUMITA, et al.	:	Confirmation Number: 9311
Serial No.: 10/689,554	:	Group Art Unit: 2812
Filed: October 21, 2003	:	Examiner: To be Assigned
For: SEMICONDUCTOR INTEGRATED CIRCUIT APPARATUS	:	

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

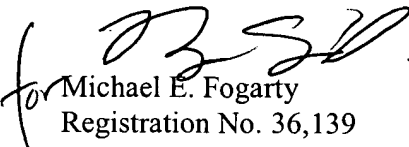
At the time the above application was filed, priority was claimed based on the following applications:

Japanese Patent Application No. P. 2002-306138, filed October 21, 2002,
Japanese Patent Application No. P.2003-358891, filed October 20, 2003

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

 #46,692
for Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: March 24, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

10/689,554

m. SUMITA et al.

October 21, 2003

61282-039

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年10月21日

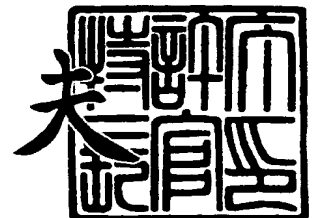
出 願 番 号
Application Number: 特願2002-306138
[ST. 10/C]: [JP2002-306138]

出 願 人
Applicant(s): 松下電器産業株式会社

2003年 8月 4日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 5038240101

【提出日】 平成14年10月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8234
H01L 21/822
G06F 1/04

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 炭田 昌哉

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 崎山 史朗

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 木下 雅善

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 半導体基板上に複数の MOSFET を備えた集積回路本体と

、
前記複数の MOSFET のうちの少なくとも一つのドレイン電流をモニタする
モニタ手段と、

前記ドレイン電流が一定になるように、前記半導体基板の基板電圧を制御する
基板電圧調整手段を具備したことを特徴とする半導体集積回路装置。

【請求項 2】 前記ドレイン電流は、サブスレッショルド領域あるいは飽和
領域のある任意のゲート電圧値におけるドレイン電流であることを特徴とする請
求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記モニタ手段は、定電流源と、前記複数の MOSFET と
同一基板上に形成されたモニタ用 MOSFET と、を具備し、

前記基板電圧調整手段は、前記モニタ用 MOSFET のドレイン端子と、集積
回路本体の前記複数の MOSFET のドレイン端子と、を接地電位に接続した状
態で、前記モニタ用 MOSFET のソース電位と、あらかじめ決められた基準電
位と、を比較する比較手段を具備し、前記比較手段による比較結果に基づいて出
力された出力電圧を、前記モニタ用 MOSFET の基板電圧にフィードバックし
たことを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

【請求項 4】 前記基準電位は、集積回路本体への供給電位であることを特
徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】 前記基板電圧調整手段は、前記比較手段の比較結果に基づい
て出力された出力電圧に対し、リミット手段により、前記出力電圧の上限と下限
に制限を加えた電圧値を出力することを特徴とする請求項 3 または 4 に記載の半
導体集積回路装置。

【請求項 6】 前記モニタ用 MOSFET は、モニタ用 P 型 MOSFET で
あり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の電源電
位以上、かつ、前記モニタ用 P 型 MOSFET に GIDL 効果が発生しない範囲

の電圧に設定され、

前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の電源電位以下、かつ、前記モニタ用P型MOSFETがラテラルバイポーラ特性を示さない範囲の電圧に設定されたことを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】 前記モニタ用MOSFETは、モニタ用N型MOSFETであり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の接地電位以上、かつ、前記モニタ用N型MOSFETがラテラルバイポーラ特性を示さない範囲の電圧に設定され、

前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の接地電位以下、かつ、前記モニタ用N型MOSFETにGIDL効果が発生しない範囲の電圧に設定されたことを特徴とする請求項5に記載の半導体集積回路装置。

【請求項8】 前記集積回路本体は、帰還バッファを備え、当該帰還バッファを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項1～7のいずれかに記載の半導体集積回路装置。

【請求項9】 前記集積回路本体は、メモリ回路を備え、当該メモリ回路を構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項1～7のいずれかに記載の半導体集積回路装置。

【請求項10】 前記集積回路本体は、SRAMを備え、当該SRAMを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項1～7のいずれかに記載の半導体集積回路装置。

【請求項11】 前記集積回路本体は、タイミングボロー方式の回路を備え、当該タイミングボロー方式の回路を構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項1～7のいずれかに記載の半導体集積回路装置。

【請求項12】 前記集積回路本体は、差動型オペアンプを備え、当該差動型オペアンプを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項1～7のいずれかに記載の半導体集積回路装置。

【請求項 13】 前記集積回路本体は、電圧制御オシレータを備え、当該電圧制御オシレータを構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1～7 のいずれかに記載の半導体集積回路装置。

【請求項 14】 前記集積回路本体は、CMOS ロジック回路を備え、当該 CMOS ロジック回路を構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1～7 のいずれかに記載の半導体集積回路装置。

【請求項 15】 前記集積回路本体は、電流制御オシレータを備え、当該電流制御オシレータを構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1～7 のいずれかに記載の半導体集積回路装置。

【請求項 16】 前記基板電圧調整手段によりトランジスタの g_m を一定することを特徴とする請求項 1～7 のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に、微細化された MOSFET に対する低電源電圧駆動下における基板電圧制御が可能な半導体集積回路装置に関する。

【0002】

【従来の技術】

近年、半導体集積回路装置の製造に対する微細化プロセスの進化に伴い、MOSFET のチャンネル長が $0.1 \mu\text{m}$ オーダー以下のプロセスで製造されるようになってきた。このようなプロセスの微細化に対し、電源電圧も 1V 以下の低電源電圧を用いるようになり、以下のような報告がなされている。

【0003】

電源電圧が 1V 以下の環境では、MOSFET の閾値と電圧値とがスケールングされておらず、低温条件下と高温条件下とにおいて、CMOS 回路の動作スピ

ードの逆転現象が生じていることが報告されている（非特許文献1 参照）。

【0004】

また、半導体集積回路装置の一例であるSRAMにおいて、微細化が進むとノイズマージンの低下により、そのメモリセルへのデータ読み出し、書き込みの安定動作が困難になることが報告されている（非特許文献2 参照）。

【0005】

また、低電源電圧下での動作下限電圧を下げる技術としては、P型およびN型MOSFETのソースドレイン間電流のバランスを基板バイアスによって、制御する方法がある（非特許文献3 参照）。

【0006】

上記のような（非特許文献3 に示された）方法では、任意のクリティカルパスの遅延とクロックの周期を比較し、P型およびN型MOSFETの基板バイアスを制御し、さらに、P型MOSFETとN型MOSFETとによって構成されるインバータの入力と出力とをショートする。この方法により、上記インバータの電圧値と任意に設定された電圧モニタの電圧値とを比較し、MOSFETのプロセスばらつきによる補正を加え、所定の電圧で動作の安定をはかるものである。

【0007】

【非特許文献1】

Kouichi Kanda, 外3名, “Design Impact of Positive Temperature Dependence on Drain Current in Sub-1V CMOS VLSIs”, 2001年10月, IEEE Journal of Solid-State Circuits, vol.36, No.10, p.1559-1564

【非特許文献2】

道関 隆国, 外1名, “微細CMOSメモリセルのスタティックノイズマージン解析” 電子情報通信学会論文誌1992年7月, P.350-361

【非特許文献3】

Goichi Ono, 外1名, “Threshold-voltage Balance for Minimum Supply Operation”, 2002 IEEE, 2002 Symposium on VLSI Circuits Digest of Technical Papers

【非特許文献4】

Tzuen-Hsi Huang et al, "Base Current Reversal Phenomenon in a CMOS Compatible High Gain n-p-n Gated Lateral Bipolar Transistor", Feb 1995, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL, 42 NO.2, P321

【非特許文献 5】

Hiroyuki Mizuno, 外 7 名, "An 18- μ A Standby Current 1.8-V, 200-MHz Microprocessor with Self-Substrate-Biased Data-Retention Mode", NOVEMBER 1999, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 34, NO. 11, p. 1492-1500

【0008】

【発明が解決しようとする課題】

しかしながら、上記非特許文献 3 に開示された技術等の従来技術では、上記非特許文献 1 で示された、電源電圧が 1 V 以下の環境で、低温条件下と高温条件下とにおいて、CMOS 回路の動作スピードの逆転現象が生じることへの考慮はなされておらず、温度依存性がないように MOSFET の基板電圧を制御することができないものである。

【0009】

また、従来の低電圧技術（上記非特許文献 3 : Fig.9 P/N V_t matching scheme 参照）では、P/N バランスの調整においては、P 型 MOSFET を基に、N 型 MOSFET の I_{ds} を調整するため、サブスレッショルドリーク電流や飽和電流を最適な値にすることはできない。

【0010】

つまり、この方式では、大規模なメモリが搭載された半導体集積回路装置において、そのメモリ内のリーク電流が、他の論理回路の数十倍乃至数百倍となる場合、動作安定性の向上をはかることができない。

【0011】

あるいは、アナログのオペアンプの出力レンジ範囲の特性の保証ができない。また、タイミングボロー方式でよく用いられるプリチャージタイプの回路である、ダイナミック回路、ドミノ回路といった回路では、ノイズマージンが MOSFET のしきい値で決定されるため、動作を安定させる最適な閾値が供給できない

という課題がある。

【0012】

仮に、上記非特許文献3 (Fig.9参照) と同じ方式でN型MOSFETを基準にしてP型MOSFETの基板制御を行う“scheme”がもうひとつ搭載されていたと仮定する。そして、プロセスばらつきで、P型MOSFETの I_{ds} が高く、N型MOSFETの I_{ds} が低いものが製造されたとする。

この場合、P型MOSFETの I_{ds} が高いので、上記非特許文献3 (Fig.9参照) では、N型MOSFETの I_{ds} を高くしている。また、N型MOSFETの I_{ds} が低いので、P型MOSFETの I_{ds} を低くなるように、P型MOSFETの基板制御がなされる。

【0013】

結局、上記方式を用いると、プロセスばらつきと逆の特性をもつMOSFETとなる。つまり、P型MOSFETの I_{ds} は低くコントロールされ、N型MOSFETの I_{ds} は高くコントロールされる。以上のように仮に、N、P両方のMOSFETを基準にした回路が独立にあったとしても、P、Nの I_{ds} を最適化できない。

【0014】

また、上記非特許文献3 (Fig.11 SA-Vt CMOS system参照) の技術は、所定のクリティカルパスの遅延に依存する制御方法であるため、上記所定のクリティカルパスに相当するダミーパスの回路を物理的に配置しなければならず、半導体集積回路装置の面積が増大化してしまう。

【0015】

さらに、半導体集積回路装置において、プロセス条件、温度条件、電圧条件等の各条件下における多数のクリティカルパスが存在し、それらの論理生成回路が異なる場合は、これらの多数のクリティカルパスに相当するダミーパスの回路を物理的に多数配置しなければならず、半導体集積回路装置の面積がさらに増大化してしまう。

【0016】

また、基板電圧を大きくかけると、トランジスタ特性は、通常の振る舞いの逆

を示す。これは、フォワードバイアス側では、フォワード電圧をかけすぎると、ラテラルパイポーラ特性を示し、基板－ドレイン間に準方向の電流が流れてしまう。また、ドレイン－ソース間の電流は、基板電圧によって増幅される。これにより、ゲート電圧による、ドレイン－ソース間の電流制御が効かなくなる。

【0017】

また、バックバイアス側では、バックバイアスをかけすぎると、サブスレッシヨルド電流が増加する効果である G I D L (Gate-Induced Drain Leakage) 効果があらわれる。このように、基板バイアスを極端にかけると特性が逆特性となり、フィードバックがかからなくなり、デッドロックがかかってしまう課題がある。

【0018】

なお、上記、ラテラルパイポーラ効果に関しては、非特許文献 4 などに記載されている。G I D L 効果に関しては、非特許文献 5 等に記載されている。

【0019】

本発明は上述の事情を考慮してなされたもので、M O S F E T のドレイン電流、特に、サブスレッシヨルド領域、あるいは飽和領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように M O S F E T の基板電圧を制御可能であり、動作安定性の向上を図ることができる半導体集積回路装置を提供することを目的とする。

【0020】

【課題を解決するための手段】

前述した目的を達成するために、請求項 1 に記載した発明は、半導体基板上に複数の M O S F E T を備えた集積回路本体と、前記複数の M O S F E T のうちの少なくとも一つのドレイン電流をモニタするモニタ手段と、前記ドレイン電流が一定になるように、前記半導体基板の基板電圧を制御する基板電圧調整手段を具備したことを特徴とする。

上記構成により、モニタ手段が M O S F E T のドレイン電流をモニタし、そのモニタされた電流値に応じて、基板電圧調整手段が基板電流を調整して、集積回路本体の複数の M O S F E T のドレイン電流を最適な値に調整する。この調整に

より、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。よって、半導体集積回路装置の動作安定性の向上を図ることができる。

【0021】

また、請求項2に記載した発明は、前記ドレイン電流は、サブスレッショルド領域あるいは飽和領域のある任意のゲート電圧値におけるドレイン電流であることを特徴とする。

上記構成により、MOSFETのサブスレッショルド領域あるいは飽和領域のある任意のゲート電圧値のドレイン電流を、モニタ手段によってモニタすることにより、集積回路本体の複数のMOSFETのサブスレッショルド領域あるいは飽和領域のドレイン電流を最適な値に調整する。

この調整により、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。よって、半導体集積回路装置の動作安定性の向上を図ることができる。

【0022】

また、請求項3に記載した発明は、前記モニタ手段は、定電流源と、前記複数のMOSFETと同一基板上に形成されたモニタ用MOSFETと、を具備し、前記基板電圧調整手段は、前記モニタ用MOSFETのドレイン端子と、集積回路本体の前記複数のMOSFETのドレイン端子と、を接地電位に接続した状態で、前記モニタ用MOSFETのソース電位と、あらかじめ決められた基準電位と、を比較する比較手段を具備し、前記比較手段による比較結果に基づいて出力された出力電圧を、前記モニタ用MOSFETの基板電圧にフィードバックしたことを特徴とする。

上記構成により、定電流源とモニタ用MOSFETとで構成されたモニタ手段がMOSFETのドレイン電流をモニタし、そのモニタされた電流値に応じて決められるモニタ用MOSFETのソース電位と、あらかじめ決められた基準電位

とを比較手段によって比較して出力し、モニタ用 MOSFET の基板電圧にフィードバックすることによって、集積回路本体に配置された複数の MOSFET のそれぞれの閾値 (V_{th}) をそろえること、もしくは、それぞれのドレイン電流 (I_{ds}) がそろえることができる。このように、MOSFET の閾値 (V_{th}) もしくはドレイン電流 (I_{ds}) がそろった値となり、集積回路本体の複数の MOSFET のドレイン電流を最適な値に調整される。

これによって、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。

【0023】

また、請求項 4 に記載した発明は、前記基準電位は、集積回路本体への供給電位であることを特徴とする。

上記構成により、集積回路本体の供給電位である電源電位や接地電位とモニタ用 MOSFET のソース電位とを比較手段によって比較して出力し、モニタ用 MOSFET の基板電圧にフィードバックすることによって、集積回路本体に配置された複数の MOSFET のそれぞれの閾値 (V_{th}) をそろえること、もしくは、それぞれのドレイン電流 (I_{ds}) がそろえることができる。このように、MOSFET の閾値 (V_{th}) もしくはドレイン電流 (I_{ds}) がそろった値となり、集積回路本体の複数の MOSFET のドレイン電流を最適な値に調整される。

これによって、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。

【0024】

また、請求項 5 に記載した発明は、前記基板電圧調整手段が、前記比較手段の比較結果に基づいて出力された出力電圧に対し、リミット手段により、前記出力電圧の上限と下限とに制限を加えた電圧値を出力することを特徴とする。

上記構成により、比較手段の比較結果に基づいて出力された出力を、リミット手段により所定の値の範囲内に制限するので、基板電圧調整手段から出力される基板電圧の上限と下限とに制限を加えることができ、モニタ用MOSFETの基板電圧に適切なフィードバックがかからなく、基板電圧調整手段が異常な状態で安定化してしまう所謂“デッドロック”を防ぐことができる。

【0025】

また、請求項6に記載した発明は、前記モニタ用MOSFETが、モニタ用P型MOSFETであり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の電源電位以上、かつ、前記モニタ用P型MOSFETにGIDL効果が発生しない範囲の電圧に設定され、前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の電源電位以下、かつ、前記モニタ用P型MOSFETがラテラルバイポーラ特性を示さない範囲の電圧に設定されたことを特徴とする。

これにより、基板電圧を大きくかけた場合に、トランジスタ特性が通常の特性とは逆を示すGIDL効果を防止することができると共に、ラテラルバイポーラ特性を示し、基板ードレイン間に順方向の電流が流れ、ドレインソース間の電流が減少してしまうことを防ぐことができる。

【0026】

また、請求項7に記載した発明は、前記モニタ用MOSFETが、モニタ用N型MOSFETであり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の接地電位以上、かつ、前記モニタ用N型MOSFETがラテラルバイポーラ特性を示さない範囲の電圧に設定され、前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の接地電位以下、かつ、前記モニタ用N型MOSFETにGIDL効果が発生しない範囲の電圧に設定されたことを特徴とする。

これにより、基板電圧を大きくかけた場合に、トランジスタ特性が通常の特性とは逆を示すGIDL効果を防止することができると共に、ラテラルバイポーラ特性を示し、基板ードレイン間に順方向の電流が流れ、ドレインソース間の電流が減少してしまうことを防ぐことができる。

【0027】

また、請求項8に記載した発明は、前記集積回路本体が、帰還バッファを備え

、当該帰還バッファを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、帰還バッファが低電圧でも安定な動作が可能であり、さらに、リーク電流が削減できる。

【0028】

また、請求項9に記載した発明は、前記集積回路本体が、メモリ回路を備え、当該メモリ回路を構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、メモリ回路内のMOSFETのソースー基板間の電圧値を、サブスレッシュホールド領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように制御され、サブスレッシュホールド領域リークによるメモリデータの破壊を防止することができる。

【0029】

また、請求項10に記載した発明は、前記集積回路本体が、SRAMを備え、当該SRAMを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、低電圧時のノイズマージンの温度依存性を削減できる。よって、低電圧で動作が可能となり、SRAMの低消費電力化を図ることができる。

【0030】

また、請求項11に記載した発明は、前記集積回路本体が、タイミングボロー方式の回路を備え、当該タイミングボロー方式の回路を構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、タイミングボロー方式の回路の温度依存性、プロセスばらつき依存性を削減できる（タイミングボロー方式の回路のスタティックノイズマージンは、MOSFETの閾値で決定されるので）。また、タイミングボロー方式の回路のリーク電流を削減することもできる。

【0031】

また、請求項12に記載した発明は、前記集積回路本体が、差動型オペアンプを備え、当該差動型オペアンプを構成するMOSFETの基板電圧が、前記基板

電圧調整手段により設定されたことを特徴とする。

これにより、差動型オペアンプの出力レンジの下限電圧の温度依存性、プロセスばらつき依存性を削減することができる。

【0032】

また、請求項13に記載した発明は、前記集積回路本体が、電圧制御オシレータを備え、当該電圧制御オシレータを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、電圧制御オシレータの入力電圧に対する周波数応答特性の温度依存性、プロセスばらつき依存性を削減することができる。

【0033】

また、請求項14に記載した発明は、前記集積回路本体が、CMOSロジック回路を備え、当該CMOSロジック回路を構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、CMOSロジック回路における遅延の温度依存性、プロセスばらつき依存性を削減することができる。

【0034】

また、請求項15に記載した発明は、前記集積回路本体が、電流制御オシレータを備え、当該電流制御オシレータを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、電流制御オシレータの遅延値がそろい、発振周波数の温度依存性、プロセスばらつき依存性を削減することができる。

【0035】

また、請求項16に記載した発明は、前記基板電圧調整手段によりトランジスタの g_m を一定することを特徴とする。

これにより、所定の電圧値近傍の g_m 一定回路が構成でき、半導体集積回路装置の温度依存や電源依存性がないようにトランジスタの g_m の一定化が実現できる。

【0036】

【発明の実施の形態】

以下、本発明に係る実施の形態を図面に基づいて詳細に説明する。

(第1の実施の形態)

図1は、本実施の形態に係る半導体集積回路装置10Aを示す回路図である。図1に示すように、半導体集積回路装置10Aは、P型MOSFET11Aと定電流源12Aとからなるモニタ手段15Aと、比較部13A（比較手段）とからなる閾値（ V_{th} ）一定回路14A（基板電圧調整手段）と、集積回路本体16Aとを具備する。

【0037】

第1の実施の形態において、MOSFETの閾値 V_{th} は、例えば、 $V_{DD}=1V$ のとき、 $I_{ds}=50nA \times (W/L)$ となる場合の V_{gs} （ゲートソース間電圧）を V_{th} とした。なお、 I_{ds} は、MOSFETのソースドレイン間電流であり、 W はMOSFETのチャンネル幅、 L はMOSFETのチャンネル長である。

【0038】

P型MOSFET11Aは、集積回路本体16Aと同じ基板上に配置されたものである。本実施の形態においては、このP型MOSFET11Aのトランジスタサイズを、チャンネル幅： $W=1.2\mu m$ 、チャンネル長： $L=0.12\mu m$ とする。

なお、定電流源12A及び比較部13Aは、集積回路本体16Aと同じ基板上に配置されたものであってもよく、あるいは、同じ基板上に配置されていないものでもよい。

【0039】

また、定電流源12Aは、“温度依存性がない”ものを用い、例えば、定電流特性を示すバンドギャップリファレンス回路などによって構成される。なお、ここでは上記“温度依存性がない”ということに対し、 $20PPM/^{\circ}C$ 以下と定義する（全く温度依存がないという意味ではない）。また、定電流源12Aは、 $500nA$ を供給するものとする。

【0040】

比較部13Aは、例えばオペアンプやOTAなどで構成される。その入力端子には、少なくとも基準電圧値と被測定電圧値とが入力され、この基準電圧値と被

測定電圧値とを比較して、被測定電圧値が基準電圧値より低ければその出力端子から出力される出力電圧値を上げ、高ければ出力電圧値を下げるものである。

【0041】

P型MOSFET 11Aのソースは、定電流源12Aに接続され、P型MOSFET 11Aのドレインは、集積回路本体16Aの接地電位 V_{ss} に接続され、P型MOSFET 11Aのゲートは、集積回路本体16Aの電源電圧 V_{dd} 以下の任意の電圧17Aに設定され、且つ集積回路本体16Aの電源電圧 V_{dd} と前記任意の電圧17Aの差分は、常に固定された関係を持ち、ここでは、この差分を0.4Vと設定する。

【0042】

つまり、P型MOSFET 11Aのゲート電圧は0.6Vである。比較部13Aの基準入力 I_{N1} の電圧値は、集積回路本体16Aの電源電圧 V_{dd} に設定され、比較部13Aの被測定入力 I_{N2} はP型MOSFET 11Aのソースに接続され、比較部13Aの出力は、P型MOSFET 11Aの基板電圧BPに接続され、比較部13Aの出力レンジの上限は、集積回路本体16Aの電源電圧 V_{dd} 以上であり、下限は、集積回路本体16Aの電源電圧 V_{dd} 以下である。

ここで、比較部13Aの出力レンジは、0.6V～2.0Vの電圧レンジとする。

【0043】

上述の比較部13Aの出力レンジの上限値あるいは下限値をリミット電圧値としたリミッター部19A（リミット手段）を通して基板電圧BPを出力することができる。

以下、PMOS側の基板電圧BPを出力する比較部13Aにリミッター部19Aを備えた一例を挙げ説明する。

【0044】

図2は、リミッター部19Aを備えた比較部13Aの一例を示す回路図である。

図2に示すように、比較部13Aは、オペアンプ部18Aと、リミッター部19Aを備えており、リミッター部19Aは、レジスタ111A、112A、コン

パレータ 113A, 114A、リミッター用 MOSFET 115A, 116A を備えている。

【0045】

次に、上記のリミッター部 19A によって、リミット電圧値を決める一方法について、以下説明する。

まず、製造工程が完了した後の半導体集積回路装置 10A において、ソースー基板間の電位差を 0 からマイナス側に遷移させ、P 型 MOSFET 11A のドレイン電流 I_{ds} が最低の値になったときの電圧値をレジスタ 111A に格納する。

【0046】

次に、ソースー基板間の電位差を 0 からプラス側に遷移させ、P 型 MOSFET 11A のドレイン電流 I_{ds} が最高の値になったときの電圧値を別のレジスタ 112A に格納する。

【0047】

レジスタ 111A に格納された電圧値（上限リミット電圧）と出力しようとする電圧 BP とをコンパレータ 113A で比較し、コンパレータ 113A の出力がゲートに接続されたリミッター用 MOSFET 115A をオン／オフさせることにより、基板電圧 BP の上限に制限を加えることができる。

【0048】

基板電圧 BP の上限（基板電圧調整手段の出力電圧値の上限）は、P 型 MOSFET 11A に GIDL 効果が発生しない範囲の電圧に設定されることが好ましい。

【0049】

また、レジスタ 112A に格納された電圧値（下限リミット電圧）と出力しようとする電圧 BP とをコンパレータ 114A で比較し、コンパレータ 114A の出力がゲートに接続されたリミッター用 MOSFET 115A をオン／オフさせることにより、基板電圧 BP の下限に制限を加えることができる。

【0050】

負の基板電圧（バックバイアス）をかけすぎると、GIDL 効果により閾値（

V_{th}) 一定回路14Aのフィードバックのゲインの極性が変わり、フィードバック系がデッドロック(適切なフィードバックがかからなく、フィードバック系が異常な状態で安定化してしまうこと)を起こす。

なお、参考として非特許文献5の $I_{ds}-V_{gs}$ 特性Fig.8を図3に示す。図3では、バックバイアスが大きい $V_{bb}=-2.3V$ ではGIDL効果によるド레인電流 I_{ds} が大きくなっている。

また、電流源の配置の仕方によっても、フィードバック系がデッドロックを起こす場合がある。

【0051】

また、正の基板電圧(フォワードバイアス)をかけすぎると、MOSFETがラテラルバイポーラ特性を示し、閾値(V_{th})一定回路14Aのフィードバックのゲインが非常に大きくなり、フィードバック系が発振を起こし易くなる。

なお、図4にP型MOSFETに対する基板電圧 V_{bs} を変化させたときのド레인電流 I_{ds} のシミュレーション値を示す。図4に示すように、MOSFETに所定の電圧以上のフォワードバイアス(図4ではマイナス側)をかけるとド레인電流 I_{ds} 電流が減少する。

このため、リミット電圧値は、デッドロックを防ぐ限界電圧及びフィードバック系が発振を防ぐ限界電圧が反映されることが重要である。

【0052】

上記のような、デッドロックを防ぎ、フィードバック系が発振を防ぐために、基板電圧BPの下限(基板電圧調整手段の出力電圧値の下限)は、P型MOSFET11Aがラテラルバイポーラ特性を示さない範囲の電圧に設定されることが好ましい。さらに、基板電圧BPの上限(基板電圧調整手段の出力電圧値の上限)は、P型MOSFET11AにGIDL効果が発生しない範囲の電圧に設定されることが好ましい。

【0053】

上述の例では、レジスタ111A, 112Aに格納した場合を示したが、リミット電圧値は、トリミング技術などによって得られた固定電圧値に設定し、コンパレータ113A, 114Aに入力させてもよい。

【0054】

また、製造工程が完了した後の半導体集積回路装置 10A の出来上がりの特性をあらかじめ、別の索引データベースに格納しておき、任意の測定ポイントのみで、上記のリミット電圧値を決定してもよい。

【0055】

さらに、製造後の経時劣化を反映するため、半導体集積回路装置 10A に、随時上記のリミット電圧値の決定方法を実行し、リミット電圧値を変更してもよい。

【0056】

例えば、P 型 MOSFET 11 の基板電圧 BP が 1 V 時、被測定電圧が 1.1 V であったとすると、比較部 13 の出力電圧は下がり、被測定電圧が 1 V であるように調整される。

【0057】

閾値 (V_{th}) 一定回路 14A は、MOSFET のソースー基板間の電圧値を、サブスレッショルド領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように制御するものであり、集積回路本体 16A に配置された複数の P 型 MOSFET のそれぞれの閾値がそろった値となる。

【0058】

(第 2 の実施の形態)

図 5 は、本実施の形態に係る半導体集積回路装置 10B を示す回路図である。図 5 に示すように、半導体集積回路装置 10B は、N 型 MOSFET 11B と定電流源 12B とからなるモニタ手段 15B と、比較部 13B (比較手段) とからなる閾値 (V_{th}) 一定回路 14B (基板電圧調整手段) と、集積回路本体 16B とを具備する。

【0059】

第 2 の実施の形態において、MOSFET の閾値 V_{th} は、例えば、 $V_{DD} = 1\text{ V}$ のとき、 $I_{ds} = 50\text{ nA} \times (W/L)$ となる場合の V_{gs} (ゲートソース間電圧) を V_{th} とした。なお、 I_{ds} は、MOSFET のソースドレイン間電

流であり、 W はMOSFETのチャンネル幅、 L はMOSFETのチャンネル長である。

【0060】

N型MOSFET 11Bは、集積回路本体16Bと同じ基板上に配置されたものである。本実施の形態においては、このN型MOSFET 11Bのトランジスタサイズを、チャンネル幅： $W = 1.2 \mu\text{m}$ 、チャンネル長： $L = 0.12 \mu\text{m}$ とする。

なお、定電流源12B及び比較部13Bは、集積回路本体16Bと同じ基板上に配置されたものであってもよく、あるいは、同じ基板上に配置されていないものでもよい。

【0061】

また、定電流源12Bは、“温度依存性がない”ものを用い、例えば、定電流特性を示すバンドギャップリファレンス回路などによって構成される。なお、ここでは上記“温度依存性がない”ということに対し、 $20 \text{ PPM}/^\circ\text{C}$ 以下と定義する（全く温度依存がないという意味ではない）。また、定電流源12Bは、 500 nA を供給するものとする。

【0062】

比較部13Bは、例えばオペアンプやOTAなどで構成される。その入力端子には、少なくとも基準電圧値と被測定電圧値とが入力され、この基準電圧値と被測定電圧値とを比較して、被測定電圧値が基準電圧値より低ければその出力端子から出力される出力電圧値を上げ、高ければ出力電圧値を下げるものである。

【0063】

N型MOSFET 11Bのドレインは、定電流源12Bに接続され、N型MOSFET 11Bのソースは、集積回路本体16Bの接地電位 V_{ss} に接続され、N型MOSFET 11Bのゲートは、集積回路本体16Bの接地電位 V_{ss} 以上の任意の電圧17Bに設定され、且つ集積回路本体16Bの電源電圧 V_{dd} と前記任意の電圧17Bの差分は、常に固定された関係を持ち、ここでは、この差分を 0.4 V と設定する。

【0064】

比較部 13B の基準入力 I_{N1} の電圧値は、半導体集積回路装置 10B の電源電圧値に設定される。比較部 13B の被測定側入力 I_{N2} は N 型 MOSFET 11B のドレインに接続され、比較部 13B の出力は、N 型 MOSFET 11B の基板に接続され、比較部 13B の出力レンジの上限は、半導体集積回路装置 10B の接地電位以上であり、比較部 13B の出力レンジの下限は、前記半導体集積回路装置 10B の接地電位以下である。

ここで、比較部 13B の出力レンジは、 $-1.0\text{V} \sim 0.4\text{V}$ の電圧レンジとする。

【0065】

上述の比較部 13B の出力レンジの上限値あるいは下限値をリミット電圧値としたリミッター部 19B (リミット手段) を通して基板電圧 B_N を出力することができる。

以下、NMOS 側の基板電圧 B_N を出力する比較部 13B にリミッター部 19B を備えた一例を挙げ説明する。

【0066】

図 6 は、リミッター部 19B を備えた比較部 13B の一例を示す回路図である。図 6 に示すように、比較部 13B は、オペアンプ部 18B と、リミッター部 19B を備えており、リミッター部 19B は、レジスタ 111B、112B、コンパレータ 113B、114B、リミッター用 MOSFET 115B、116B を備えている。

このような出力回路を用いると、リミッタ値近傍まで安定して電流を供給できる。基板経由からソースに電流が流れるフォワードバイアス時に安定して基板電圧が得られ、被適用回路の動作安定性に特に効果的である。

【0067】

次に、上記のリミッター部 19B によって、リミット電圧値を決める一方法について、以下説明する。

まず、製造工程が完了した後の半導体集積回路装置 10B において、ソースー基板間の電位差を 0 からマイナス側に遷移させ、N 型 MOSFET 11B のドレイン電流 I_{ds} が最低の値になったときの電圧値をレジスタ 111B に格納する

。

【0068】

次に、ソース-基板間の電位差を0からプラス側に遷移させ、N型MOSFET 11Bのドレイン電流 I_{ds} が最高の値になったときの電圧値を別のレジスタ 112Bに格納する。

【0069】

レジスタ 111Bに格納された電圧値（上限リミット電圧）と出力しようとする電圧 B_N とをコンパレータ 113Bで比較し、コンパレータ 113Bの出力がゲートに接続されたりミッター用MOSFET 115Bをオン／オフさせることにより、基板電圧 B_N の上限に制限を加えることができる。

【0070】

基板電圧 B_N の上限は、N型MOSFET 11Bがラテラルバイポーラ特性を示さない範囲の電圧に設定されることが好ましい。

【0071】

また、レジスタ 112Bに格納された電圧値（下限リミット電圧）と出力しようとする電圧 B_N とをコンパレータ 114Bで比較し、コンパレータ 114Bの出力がゲートに接続されたりミッター用MOSFET 115Bをオン／オフさせることにより、基板電圧 B_N の下限に制限を加えることができる。

【0072】

負の基板電圧（バックバイアス）をかけすぎると、GIDL効果により閾値（ V_{th} ）一定回路 14Bのフィードバックのゲインの極性が変わり、フィードバック系がデッドロック（適切なフィードバックがかからなく、系が異常な状態で安定化してしまうこと）を起こす。

また、電流源の配置の仕方によっても、フィードバック系がデッドロックを起こす場合がある。

【0073】

また、正の基板電圧（フォワードバイアス）をかけすぎると、MOSFETがラテラルバイポーラ特性を示し、閾値（ V_{th} ）一定回路 14Bのフィードバックのゲインが非常に大きくなり、フィードバック系が発振を起こし易くなる。

なお、図7にN型MOSFETに対する基板電圧 V_{bs} を変化させたときのドレイン電流 I_{ds} のシミュレーション値を示す。図7に示すように、MOSFETに所定の電圧以上のフォワードバイアス（図ではプラス側）をかけるとドレイン電流 I_{ds} 電流が減少する。

このため、リミット電圧値は、デッドロックを防ぐ限界電圧及びフィードバック系が発振を防ぐ限界電圧が反映されることが重要である。

【0074】

基板電圧BNの下限は、N型MOSFET11BにGIDL効果が発生しない範囲の電圧に設定されることが好ましい。さらに、基板電圧BNの上限（基板電圧調整手段の出力電圧値の上限）は、N型MOSFET11Bがラテラルバイポーラ特性を示さない範囲の電圧に設定されることが好ましい。

【0075】

上述の例では、レジスタ111B、112Bに格納した場合を示したが、リミット電圧値は、トリミング技術などによって得られた固定電圧値に設定し、コンパレータ113B、114Bに入力させてもよい。

【0076】

また、製造工程が完了した後の半導体集積回路装置10Bの出来上がりの特性をあらかじめ、別の索引データベースに格納しておき、任意の測定ポイントのみで、上記のリミット電圧値を決定してもよい。

【0077】

さらに、製造後の経時劣化を反映するため、半導体集積回路装置10Bに、随時上記のリミット電圧値の決定方法を実行し、リミット電圧値を変更してもよい。

【0078】

閾値（ V_{th} ）一定回路14Bは、MOSFETのソースー基板間の電圧値を、サブスレッショルド領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように制御するものであり、集積回路本体16に配置された複数のN型MOSFETのそれぞれの閾値がそろった値となる。

【0079】

(第3の実施の形態)

図8は、第3の実施の形態に係る半導体集積回路装置20Aを示す回路図である。

図8に示すように、半導体集積回路装置20Aは、P型MOSFET21Aと定電流源22Aとからなるモニタ手段25Aと、比較部23A（比較手段）とからなるドレイン電流（ I_{ds} ）一定回路24A（基板電圧調整手段）と、集積回路本体26とを具備する。

【0080】

第3の実施の形態において、MOSFETの飽和電流は、例えば、 $V_{gs} = 1V$ 、 $V_{DD} = 1V$ 、 $V_{ss} = 0$ の時のソースドレイン間電流とする。

ドレイン電流（ I_{ds} ）一定回路24AはMOSFETの飽和領域のある任意のゲート電圧値のドレイン電流が一定であるようにMOSFETの基板電圧を制御する回路（基板電圧調整手段）である。このP型MOSFET21のトランジスタサイズを、チャネル幅： $W = 1\mu m$ 、チャネル長： $L = 0.12\mu m$ とする。

【0081】

また、定電流源22Aは、“温度依存性がない”ものを用い、例えば、定電流特性を示すバンドギャップリファレンス回路などによって構成される。なお、ここでは上記“温度依存性がない”ということに対し、 $20PPM/^{\circ}C$ 以下と定義する（全く温度依存がないという意味ではない）。また、定電流源22Aは、 $300\mu A$ を供給するものとする。

【0082】

比較部23Aは、例えばオペアンプやOTAなどで構成される。その入力端子には、少なくとも基準電圧値と被測定電圧値とが入力され、この基準電圧値と被測定電圧値とを比較して、被測定電圧値が基準電圧値より低ければその出力端子から出力される出力電圧値を上げ、高ければ出力電圧値を下げるものである。

【0083】

P型MOSFET21Aのソースは、定電流源22Aに接続され、P型MOS

FET 21A のドレインは、集積回路本体 26 の接地電位 V_{ss} に接続され、P 型 MOSFET 21A のゲートは、集積回路本体 26 の接地電位 V_{ss} に接続される。

【0084】

比較部 23A の基準入力 I_{N1} の電圧値は、集積回路本体 26 の電源電圧 V_{dd} に設定され、比較部 23A の被測定側入力 I_{N2} は P 型 MOSFET 21A のソースに接続され、比較部 23A の出力は、P 型 MOSFET 21A の基板電圧 BP に接続される。比較部 23A の出力レンジの上限は、集積回路本体 26 の電源電圧 V_{dd} 以上であり、下限は、集積回路本体 26 の電源電圧 V_{dd} 以下である。

ここで、比較部 23A の出力レンジは、 $0.6V \sim 2.0V$ の電圧レンジがあるとする。

【0085】

本実施の形態も前述の第 1 の実施の形態と同様に、比較部 23A の出力レンジの上限値あるいは下限値をリミット電圧値としたリミッター部 19A (リミット手段) を通して基板電圧 BP を出力することができる。このように、リミット手段を備えた場合の作用効果は、前述の第 1 の実施の形態と同様である。

【0086】

このようにして、ドレイン電流 (I_{ds}) 一定回路 24A は、MOSFET の飽和領域のある任意のゲート電圧値のドレイン電流が、一定であるように基板電圧 BP を制御するものであり、集積回路本体 26 に配置された複数の P 型 MOSFET のそれぞれのドレイン電流 I_{ds} がそろった値となる。

【0087】

(第 4 の実施の形態)

図 9 は、第 4 の実施の形態に係る半導体集積回路装置 20B を示す回路図である。

図 9 に示すように、半導体集積回路装置 20B は、N 型 MOSFET 21B と定電流源 22B とからなるモニタ手段 25B と、比較部 23B (比較手段) とからなるドレイン電流 (I_{ds}) 一定回路 24B (基板電圧調整手段) と、集積回

路本体 26 とを具備する。

【0088】

第4の実施の形態において、MOSFETの飽和電流は、例えば、 $V_{gs} = 1V$ 、 $V_{DD} = 1V$ 、 $V_{ss} = 0$ の時のソースドレイン間電流とする。

ドレイン電流 (I_{ds}) 一定回路 24BはMOSFETの飽和領域のある任意のゲート電圧値のドレイン電流が一定であるようにMOSFETの基板電圧を制御する回路 (基板電圧調整手段) である。このN型MOSFET 21Bのトランジスタサイズを、チャネル幅: $W = 1\mu m$ 、チャネル長: $L = 0.12\mu m$ とする。

【0089】

また、定電流源 22Bは、“温度依存性がない”ものを用い、例えば、定電流特性を示すバンドギャップリファレンス回路などによって構成される。なお、ここでは上記“温度依存性がない”ということに対し、 $20PPM/^{\circ}C$ 以下と定義する (全く温度依存がないという意味ではない)。また、定電流源 22Bは、 $600\mu A$ を供給するものとする。

【0090】

比較部 23Bは、例えばオペアンプやOTAなどで構成される。その入力端子には、少なくとも基準電圧値と被測定電圧値とが入力され、この基準電圧値と被測定電圧値とを比較して、被測定電圧値が基準電圧値より低ければその出力端子から出力される出力電圧値を上げ、高ければ出力電圧値を下げるものである。

【0091】

N型MOSFET 21Bのドレインは、定電流源 22Bに接続され、N型MOSFET 21Bのソースは、集積回路本体 26の接地電位 V_{ss} に接続され、N型MOSFET 21Bのゲートは、集積回路本体 26の電源電圧 V_{dd} に接続される。

【0092】

比較部 23Bの基準入力 $IN1$ の電圧値は、集積回路本体 26の電源電圧 V_{dd} に設定され、比較部 23Bの被測定側入力 $IN2$ はN型MOSFET 21Bのソースに接続され、比較部 23Bの出力レンジの上限は、集積回路本体 26の接

地電位 V_{ss} 以上であり、比較部 23B の出力レンジの下限は、集積回路本体 26 の接地電位 V_{ss} 以下である。

ここで、比較部 23B の出力レンジは、 $-1.0\text{ V} \sim 0.4\text{ V}$ の電圧レンジとする。

【0093】

本実施の形態は前述の第 2 の実施の形態と同様に、比較部 23B の出力レンジの上限値あるいは下限値をリミット電圧値としたリミッター部 19B (リミット手段) を通して基板電圧 B_N を出力することができる。このように、リミット手段を備えた場合の作用効果は、前述の第 2 の実施の形態と同様である。

【0094】

このようにして、ドレイン電流 (I_{ds}) 一定回路 24B は、MOSFET の飽和領域のある任意のゲート電圧値のドレイン電流が、一定であるように基板電圧 B_N を制御するものであり、集積回路本体 26 に配置された複数の N 型 MOSFET のそれぞれのドレイン電流 I_{ds} がそろった値となる。

【0095】

(第 5 の実施の形態)

図 10 は、第 5 の実施の形態に係る半導体集積回路装置 30 を示す回路図である。

図 10 に示すように、半導体集積回路装置 30 は、前述の第 1 及び第 2 の実施の形態で示した閾値 (V_{th}) 一定回路 14A, 14B と、内部に帰還バッファ 31 を備えた集積回路本体 36 からなる。閾値 (V_{th}) 一定回路 14A, 14B の基板電圧 B_P , B_N が集積回路本体 36 内の帰還バッファ 31 を構成する N 型、P 型 MOSFET のそれぞれの基板電圧に接続されたものである。

【0096】

次に、本実施の形態における閾値 (V_{th}) 一定回路 14A, 14B を用いたことによる効果について、帰還バッファ 31 の一具体例による評価結果を挙げて説明する。本例において、帰還バッファ 31 を構成する各 MOSFET は以下のパラメータを有する。

P 型 MOSFET の $I_{ds} = 240\text{ }\mu\text{A}/\mu\text{m}$ 、 $V_{th} = 0.35\text{ V}$ 、

N型MOSFETの $I_{ds} = 600 \mu A / \mu m$ 、 $V_{th} = 0.35 V$ 、

P型MOSFETの $W = 2 \mu m$ 、 $L = 0.12 \mu m$ 、

N型MOSFETの $W = 1 \mu m$ 、 $L = 0.12 \mu m$ 、

そして、基板電圧 B_N 、 $B_P = 0 V$ （フォワードバイアス）の場合に、動作温度条件として、 $T = -40^\circ C$ （低温）、 $T = 125^\circ C$ （高温）の各温度条件下と、閾値（ V_{th} ）一定回路14A、14Bを用いて、 $T = -40^\circ C$ （低温）において、基板電圧 B_N 、 $B_P = 0.35 V$ （フォワードバイアス）をかけた場合、また、 $T = 125^\circ C$ （高温）において、基板電圧 B_N 、 $B_P = -0.35 V$ （バックバイアス）をかけた場合の4通りの場合において、電源電圧を変えて、スタティックノイズマージン幅を回路シミュレーション（SPICE）により求めたシミュレーション結果を図11に示す。

【0097】

図11において、横軸は帰還バッファ31の電源電圧値、縦軸は帰還バッファ31のスタティックノイズマージン幅である。図11に示すように閾値（ V_{th} ）一定回路14A、14Bを用いた場合、スタティックノイズマージン幅のばらつき幅は、せばまり、さらに、低電圧でも安定な動作が可能である。

【0098】

また、帰還バッファ31の基板電圧に、閾値（ V_{th} ）一定回路14A、14Bを用いた場合、また、閾値（ V_{th} ）一定回路14A、14Bを用いなかった場合のリーク電流の温度依存性を図12に示す。

図12において、横軸は温度であり、縦軸は対数表示（log）したリーク電流である。図12に示すように、低温時では、リーク電流が若干増えるが、高温時では飛躍的に削減されている。

なお、ここでは参照電圧を $0.4 V$ として低電圧に特化して示したが、高電圧時で V_{th} が低すぎてスタティックノイズマージンが下がる場合は、さらに V_{th} を高く設定したいことがある。この場合は、参照電圧値を印可電圧値のある割合になるように、抵抗分割手段などを参照電圧部に用いて設定してもよい。

参照電圧を変化させる時は、リミット電圧回路がさらに効果を発揮する。例えば、 $V_{DD} = 1 V$ の時、参照電圧が $0.35 V$ になるように設定しておく、そ

の割合は、35%である。もし、 $V_{DD} = 2V$ になった場合、参照電圧は、0.7Vとなる。しかし、このような値を実現するには、バックバイアスを更にかける必要があり、GIDL効果が出てしまう。これをさまたげるため、リミット回路が有効であるからである。

【0099】

(第6の実施の形態)

図13は、第6の実施の形態に係る半導体集積回路装置を示す回路図である。

図13に示すように、半導体集積回路装置40は、前述の第1の実施の形態で示したドレイン電流(I_{ds})一定回路24A、24Bと、内部にメモリ回路41(一つのメモリセルのみ図示)を備えた集積回路本体36からなる。ドレイン電流(I_{ds})一定回路24A、24Bの基板電圧BP、BNが集積回路本体36内のメモリ回路を構成するN型、P型MOSFETのそれぞれの基板電圧に接続されたものである。

【0100】

メモリ回路41は、N型MOSFET42によるトランスファゲートと、記憶格納素子43と、ビット線44と、ワード線45とを少なくとも有している。記憶格納素子43としては、例えば、DRAMのキャパシタや、SRAMのCMOSインバータ等が挙げられる。なお、DRAM、SRAM等は、図13に示したメモリ回路41が多数備えられている。

そして、N型MOSFET42のドレインは、記憶格納素子43に接続され、N型MOSFET42のソースは、ビット線44に接続され、N型MOSFET42のゲートがワード線45に接続されている。

【0101】

このように、ドレイン電流(I_{ds})一定回路24A、24Bにより、集積回路本体46内に基板電圧BP、BNが供給されることにより、メモリ回路41内のN型MOSFET42および図示しない他のP型あるいはN型MOSFETのソース-基板間の電圧値を、サブスレッショルド領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように制御され、サブスレッショルド領域リークによるメモリデータの破壊を防止すること

ができる。

【0102】

(第7の実施の形態)

図14は、第7の実施の形態に係る半導体集積回路装置を示す回路図である。

図14に示すように、半導体集積回路装置50は、前述の第1及び第2の実施の形態で示した閾値 (V_{th}) 一定回路14A、14Bと、SRAM回路51 (一つのメモリセルのみ図示) を備えた集積回路本体56からなる。

閾値 (V_{th}) 一定回路14A、14Bの基板電圧BP、BNが集積回路本体56内のSRAM回路51を構成するN型、P型MOSFETのそれぞれの基板電圧に接続されたものである。

【0103】

次に、本実施の形態における閾値 (V_{th}) 一定回路14A、14Bを用いたことによる効果について、一具体例による評価結果を挙げて説明する。

図15に基板電圧をかけない場合と、 V_{th} が一定となるように基板電圧をかけた場合の各温度の電源電圧とSRAMの読み出しノイズマージンを示す。

【0104】

また、書き込みのノイズマージンの温度依存性の同様のグラフを図16に示す。基板電圧を最適にかけることにより、低電圧時のノイズマージンの温度依存性が削減できる効果がわかる。つまり、低電圧で動作が可能となり、SRAMの低消費電力化を図ることができる。

【0105】

(第8の実施の形態)

図17は、第8の実施の形態に係る半導体集積回路装置を示す回路図である。

図17に示すように、閾値 (V_{th}) 一定回路14A、14Bの出力BP、BNをタイミングボロー回路61の基板電圧に用いたものである。タイミングボロー回路61のDは、データ入力であり、CLKは、クロック入力である。

このようなタイミングボロー回路61のスタティックノイズマージンは、N型MOSFETの V_{th} で決定される。つまり、閾値 (V_{th}) 一定回路14A、14Bによって、温度依存性、プロセスばらつき依存性を削減できる。また、前

述の第7の実施の形態で示したように、リーク電流の削減効果もある。

【0106】

(第9の実施の形態)

図18は、第9の実施の形態に係る半導体集積回路装置を示す回路図である。

図18に示すように、半導体集積回路装置70は、閾値 (V_{th}) 一定回路14A, 14Bの出力BP, BNを、集積回路本体76内の差動型オペアンプ71を構成するMOSFETの基板電圧に用いたものである。N型MOSFETがばらついていると、差動型オペアンプの出力電圧は、 V_{th} 以上であるので、 V_{th} に依存する。

【0107】

しかし、閾値 (V_{th}) 一定回路14A, 14Bを用いた場合、 V_{th} は一定となるため、差動型オペアンプの出力電圧は V_{th} に依存せず、一定である。この構成により、差動型オペアンプの出力レンジの下限電圧の温度依存性、プロセスばらつき依存性を削減する効果がある。

【0108】

(第10の実施の形態)

図19は、第10の実施の形態に係る半導体集積回路装置を示す回路図である。

図19に示すように、半導体集積回路装置80は、閾値 (V_{th}) 一定回路14A, 14Bの出力BP, BNを集積回路本体86内の電圧制御オシレータ (VCO: Voltage Control Oscillator) 81を構成するMOSFETの基板電圧に用いたものである。バイアス電圧を与えるMOSFETのゲートは、閾値依存を持つと、入力電圧と周波数の特性関係が異なる。

【0109】

このMOSFETの基板電圧を閾値 (V_{th}) 一定回路の出力を与える構成により、入力電圧に対する周波数応答特性の温度依存性、プロセスばらつき依存性を削減する効果がある。

【0110】

なお、図19に示した回路は、一例であり、入力電圧がMOSFETのゲート

に入力されるタイプの電圧制御オシレータすべてに効果があるのは、言うまでもない。

【0111】

(第11の実施の形態)

図20は、第11の実施の形態に係る半導体集積回路装置を示す回路図である。

図20に示すように、半導体集積回路装置90は、閾値 (V_{th}) 一定回路14A、14Bの出力BP、BNを集積回路本体96内のCMOSロジック回路91の基板電圧として用いたものである。CMOSロジック回路91の遅延値は、 $di/dt = CV$ であるので、遅延の温度依存性、プロセスばらつき依存性を削減するものである。

【0112】

なお、図20に示した回路は、CMOSロジック回路の一例であり、あらゆる論理構成のCMOSロジック回路すべてに効果があるのは、言うまでもない。

【0113】

(第12の実施の形態)

図21は、第12の実施の形態に係る半導体集積回路装置100を示す回路図である。

図21に示すように、半導体集積回路装置100は、閾値 (V_{th}) 一定回路14A、14Bの出力BP、BNを集積回路本体106内の電流制御オシレータ(CCO: current control oscillator)101のインバータ部の基板電圧として用いたものである。

上記の構成をとることにより、第12の実施の形態と同様に、回路の遅延値がそろい、電流制御オシレータ101の発振周波数の温度依存性、プロセスばらつき依存性を削減するものである。

【0114】

(第13の実施の形態)

図22は、第13の実施の形態にかかる半導体集積回路120を示す回路図である。

図 22 に示すように、 g_m (相互コンダクタンス: ゲート電圧の変化に対するドレイン電流の変化の割合) 一定回路 121A, 121B において、P 型 MOSFET 122A 及び N 型 MOSFET 122B は、それぞれゲートとドレインが接続されている。このようにゲートとドレインが接続されている場合、基板電圧をトランジスタの g_m と近似することができる。

そして、所望の電圧をオペアンプの参照電圧にすることにより、所定の電圧値近傍の g_m 一定回路が構成できる。上記構成を集積回路本体 122 内のトランジスタの g_m を一定にしたい回路、例えば、カレントミラー回路などに適用することにより、温度依存や電源依存性がないようにトランジスタの g_m の一定化が実現できる。

【0115】

なお、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0116】

【発明の効果】

以上詳述したように、請求項 1 に記載した発明によれば、半導体基板上に複数の MOSFET を備えた集積回路本体と、前記複数の MOSFET のうちの少なくとも一つのドレイン電流をモニタするモニタ手段と、前記ドレイン電流が一定になるように、前記半導体基板の基板電圧を制御する基板電圧調整手段を具備したことにより、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された半導体集積回路装置の特性のばらつき (プロセスばらつき依存性) を少なくすることができる。よって、半導体集積回路装置の動作安定性の向上を図ることができる。

【0117】

また、請求項 2 に記載した発明によれば、前記ドレイン電流は、サブスレッシヨルド領域あるいは飽和領域のある任意のゲート電圧値におけるドレイン電流であることにより、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき (プロセスばらつき依存性) を少なくす

ることができる。よって、半導体集積回路装置の動作安定性の向上を図ることができる。

【0118】

また、請求項3に記載した発明によれば、前記モニタ手段が、定電流源と、前記複数のMOSFETと同一基板上に形成されたモニタ用MOSFETと、を具備し、前記基板電圧調整手段は、前記モニタ用MOSFETのドレイン端子と、集積回路本体の前記複数のMOSFETのドレイン端子と、を接地電位に接続した状態で、前記モニタ用MOSFETのソース電位と、あらかじめ決められた基準電位と、を比較する比較手段を具備し、前記比較手段による比較結果に基づいて出力された出力電圧を、前記モニタ用MOSFETの基板電圧にフィードバックしたことによって、集積回路本体に配置された複数のMOSFETのそれぞれの閾値 (V_{th}) をそろえること、もしくは、それぞれのドレイン電流 (I_{ds}) がそろえることができる。このように、MOSFETの閾値 (V_{th}) もしくはドレイン電流 (I_{ds}) がそろった値となり、集積回路本体の複数のMOSFETのドレイン電流を最適な値に調整される。

これによって、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。

【0119】

また、請求項4に記載した発明によれば、前記基準電位は、集積回路本体への供給電位であることによって、集積回路本体に配置された複数のMOSFETのそれぞれの閾値 (V_{th}) をそろえること、もしくは、それぞれのドレイン電流 (I_{ds}) がそろえることができる。このように、MOSFETの閾値 (V_{th}) もしくはドレイン電流 (I_{ds}) がそろった値となり、集積回路本体の複数のMOSFETのドレイン電流を最適な値に調整される。

これによって、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくす

ることができる。

【0120】

また、請求項5に記載した発明によれば、前記基板電圧調整手段が、前記比較手段の比較結果に基づいて出力された出力電圧に対し、リミット手段により、前記出力電圧の上限と下限とに制限を加えた電圧値を出力することにより、モニタ用MOSFETの基板電圧に適切なフィードバックがかからなく、基板電圧調整手段が異常な状態で安定化してしまう所謂“デッドロック”を防ぐことができる。

【0121】

また、請求項6に記載した発明によれば、前記モニタ用MOSFETが、モニタ用P型MOSFETであり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の電源電位以上、かつ、前記モニタ用P型MOSFETにGIDL効果が発生しない範囲の電圧に設定され、前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の電源電位以下、かつ、前記モニタ用P型MOSFETがラテラルバイポーラ特性を示さない範囲の電圧に設定されたことにより、基板電圧を大きくかけた場合に、トランジスタ特性が通常の特性とは逆を示すGIDL効果を防止することができると共に、ラテラルバイポーラ特性を示し、基板ードレイン間に順方向の電流が流れ、ドレインソース間の電流が減少してしまうことを防ぐことができる。

【0122】

また、請求項7に記載した発明によれば、前記モニタ用MOSFETが、モニタ用N型MOSFETであり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の接地電位以上、かつ、前記モニタ用N型MOSFETにラテラルバイポーラ特性を示さない範囲の電圧に設定され、前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の接地電位以下、かつ、前記モニタ用N型MOSFETにGIDL効果が発生しない範囲の電圧に設定されたことにより、基板電圧を大きくかけた場合に、トランジスタ特性が通常の特性とは逆を示すGIDL効果を防止することができると共に、ラテラルバイポーラ特性を示し、基板ードレイン間に順方向の電流が流れ、ドレインソース間の電流が減少してし

まうことを防ぐことができる。

【0123】

また、請求項 8 に記載した発明によれば、前記集積回路本体が、帰還バッファを備え、当該帰還バッファを構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことにより、帰還バッファが低電圧でも安定な動作が可能であり、さらに、リーク電流が削減できる。

【0124】

また、請求項 9 に記載した発明によれば、前記集積回路本体が、メモリ回路を備え、当該メモリ回路を構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことにより、メモリ回路内の MOSFET のソース-基板間の電圧値を、サブスレッショルド領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように制御され、サブスレッショルド領域リークによるメモリデータの破壊を防止することができる。

【0125】

また、請求項 10 に記載した発明によれば、前記集積回路本体が、SRAM を備え、当該 SRAM を構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことにより、低電圧時のノイズマージンの温度依存性を削減できる。よって、低電圧で動作が可能となり、SRAM の低消費電力化を図ることができる。

【0126】

また、請求項 11 に記載した発明によれば、前記集積回路本体が、タイミングボロー方式の回路を備え、当該タイミングボロー方式の回路を構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことにより、タイミングボロー方式の回路の温度依存性、プロセスばらつき依存性を削減できる（タイミングボロー方式の回路のスタティックノイズマージンは、MOSFET の閾値で決定されるので）。また、タイミングボロー方式の回路のリーク電流を削減することもできる。

【0127】

また、請求項 12 に記載した発明によれば、前記集積回路本体が、差動型オペ

アンプを備え、当該差動型オペアンプを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことにより、差動型オペアンプの出力レンジの下限電圧の温度依存性、プロセスばらつき依存性を削減することができる。

【0128】

また、請求項13に記載した発明によれば、前記集積回路本体が、電圧制御オシレータを備え、当該電圧制御オシレータを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことにより、電圧制御オシレータの入力電圧に対する周波数応答特性の温度依存性、プロセスばらつき依存性を削減することができる。

【0129】

また、請求項14に記載した発明によれば、前記集積回路本体が、CMOSロジック回路を備え、当該CMOSロジック回路を構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことにより、CMOSロジック回路における遅延の温度依存性、プロセスばらつき依存性を削減することができる。

【0130】

また、請求項15に記載した発明によれば、前記集積回路本体が、電流制御オシレータを備え、当該電流制御オシレータを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことにより、電流制御オシレータの遅延値がそろい、発振周波数の温度依存性、プロセスばらつき依存性を削減することができる。

【0131】

また、請求項16に記載した発明によれば、前記基板電圧調整手段によりトランジスタの g_m を一定することにより、所定の電圧値近傍の g_m 一定回路が構成でき、半導体集積回路装置の温度依存や電源依存性がないようにトランジスタの g_m の一定化が実現できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 2】

リミッター部を備えた比較部（PMOS側）の一例を示す回路図である。

【図 3】

GIDL効果を説明するための $I_{ds} - V_{gs}$ 特性を示すグラフである。

【図 4】

ラテラルバイポーラ特性を説明するための基板電圧 V_{bs} を変化させたときのドレイン電流 I_{ds} のシミュレーション値を示すグラフである。

【図 5】

本発明の第 2 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 6】

リミッター部を備えた比較部（NMOS側）の一例を示す回路図である。

【図 7】

ラテラルバイポーラ特性を説明するための基板電圧 V_{bs} を変化させたときのドレイン電流 I_{ds} のシミュレーション値を示すグラフである。

【図 8】

本発明の第 3 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 9】

本発明の第 4 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 10】

本発明の第 5 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 11】

第 5 の実施の形態に係る半導体集積回路装置における、リーク電流の温度依存性の回路シミュレーション結果のグラフである。

【図 12】

第 5 の実施の形態に係る半導体集積回路装置における、電源電圧に対するステイックノイズマージン幅の回路シミュレーション結果のグラフである。

【図 13】

本発明の第 6 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 14】

本発明の第7の実施の形態に係る半導体集積回路装置を示す回路図である。

【図15】

本発明の第7の実施の形態に係る半導体集積回路装置における、SRAMの読み出しノイズマージンのシミュレーション結果のグラフである。

【図16】

本発明の第7の実施の形態に係る半導体集積回路装置における、SRAMの書き込みのノイズマージンのシミュレーション結果のグラフである。

【図17】

本発明の第8の実施の形態に係る半導体集積回路装置を示す回路図である。

【図18】

本発明の第9の実施の形態に係る半導体集積回路装置を示す回路図である。

【図19】

本発明の第10の実施の形態に係る半導体集積回路装置を示す回路図である。

【図20】

本発明の第11の実施の形態に係る半導体集積回路装置を示す回路図である。

【図21】

本発明の第12の実施の形態に係る半導体集積回路装置を示す回路図である。

【図22】

本発明の第13の実施の形態に係る半導体集積回路装置を示す回路図である。

【符号の説明】

10A、10B、20A、20B	半導体集積回路装置
30、40、50、60、70	半導体集積回路装置
80、90、100、120	半導体集積回路装置
11A、21A	P型MOSFET
12A、12B	定電流源
13A、13B	比較部
14A、14B	閾値（ V_{th} ）一定回路
15A、15B	モニタ手段
16A、16B、26A、26B	集積回路本体

36、46、56、66、76、86、96、106 集積回路本体

17A、17B 任意の電圧

18A、18B オペアンプ部

19A、19B リミッター部

11B、21B N型MOSFET

22A、22B 定電流源

23A、23B 比較部

24A、24B ドレイン電流 (I_{ds}) 一定回路

25A、25B モニタ手段

31 帰還バッファ

41 メモリ回路

42 N型MOSFET

43 記憶格納素子

44 ビット線

45 ワード線

51 SRAM回路

61 タイミングボロー回路

71 差動型オペアンプ

81 電圧制御オシレータ

91 CMOSロジック回路

101 電流制御オシレータ

111A、112A レジスタ

111B、112B レジスタ

113A、114A コンパレータ

113B、114B コンパレータ

115A、116A リミッター用MOSFET

121A、121B g_m 一定回路

122A P型MOSFET

122B N型MOSFET

1 2 3 集積回路本体

B N 基板電圧

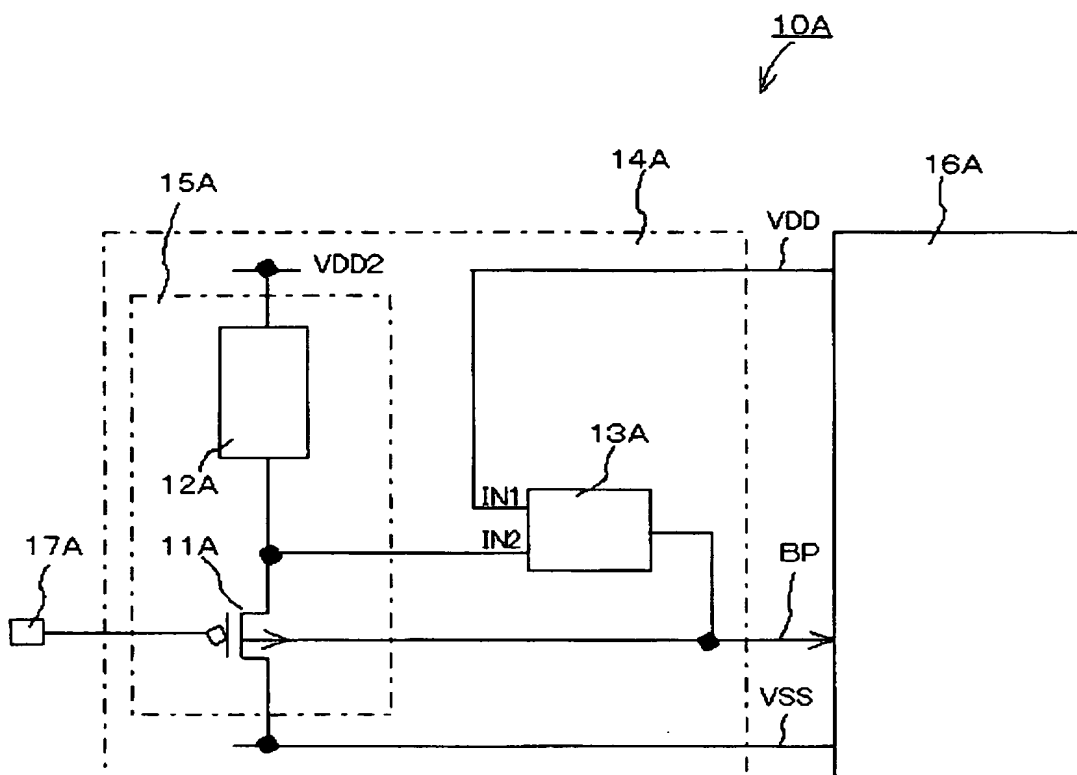
B P 基板電圧

I N 1 基準入力

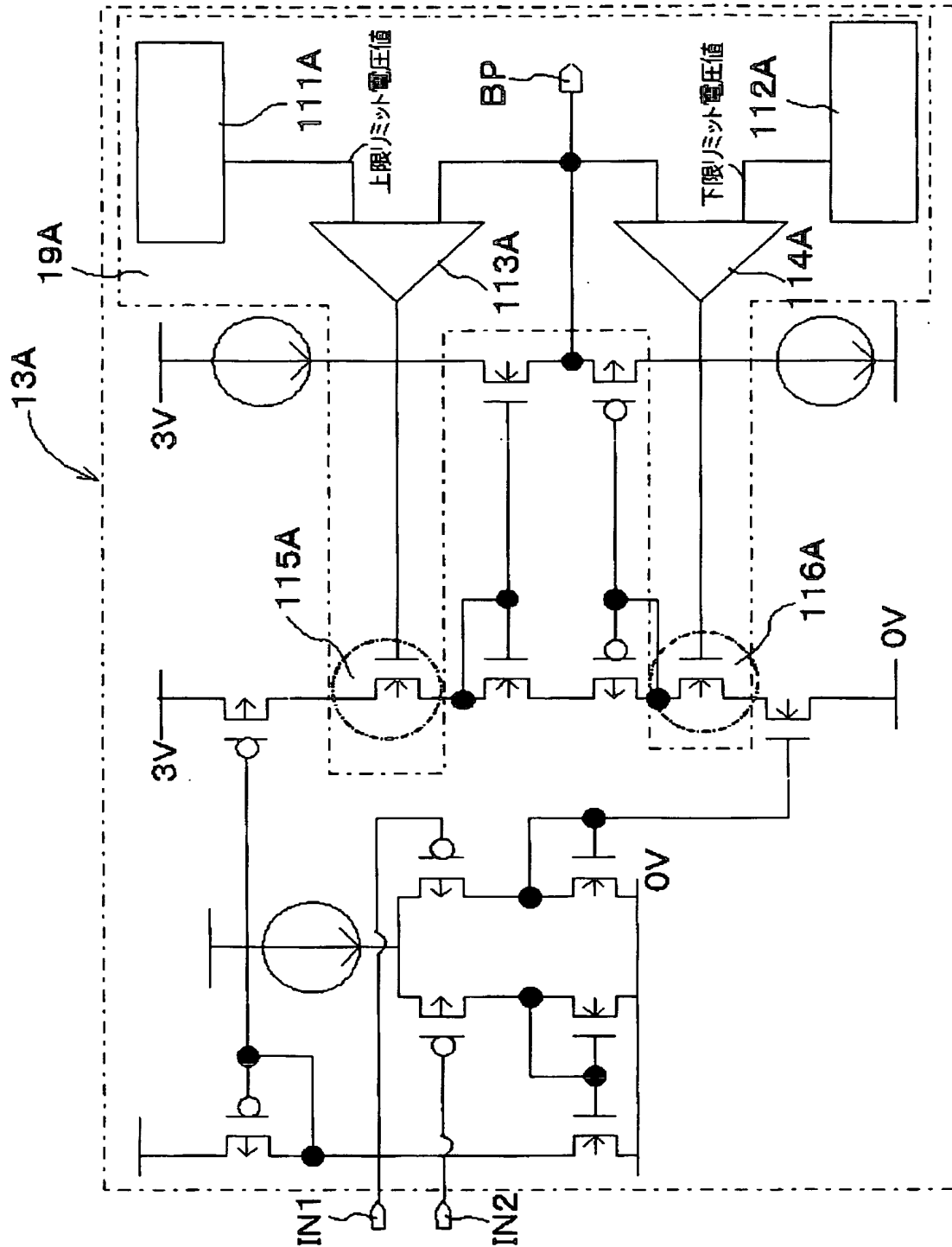
I N 2 被測定入力

【書類名】 図面

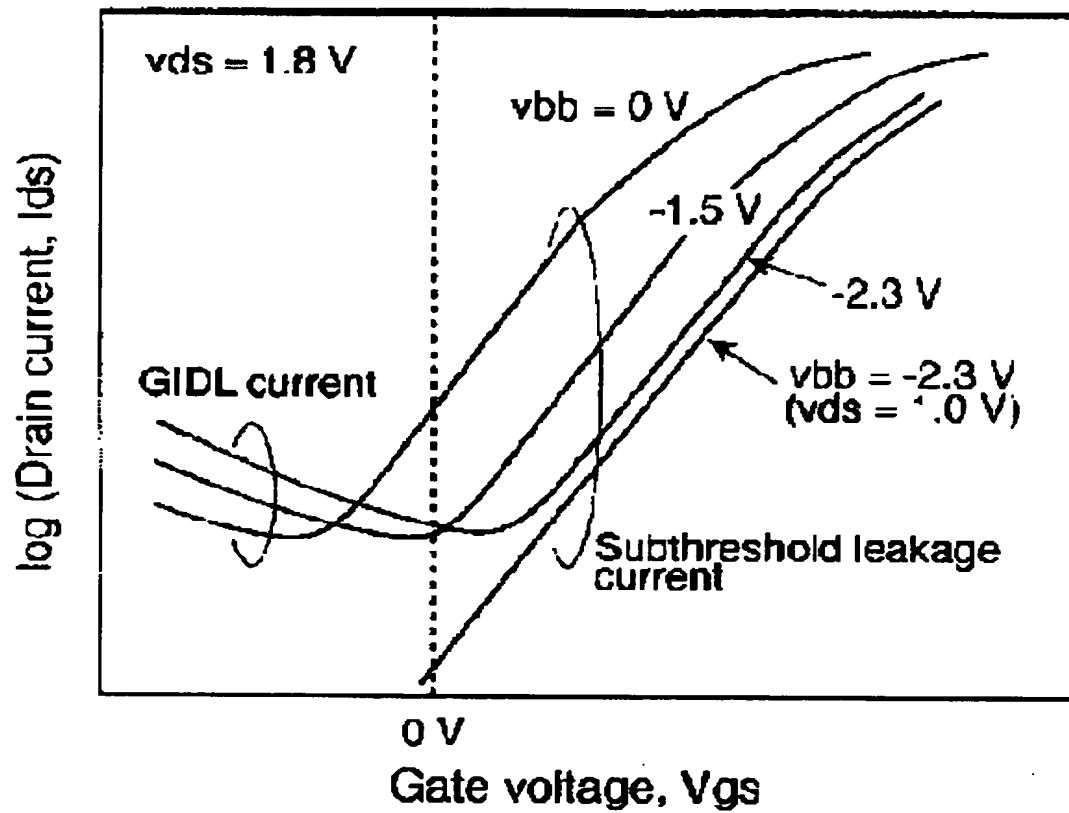
【図 1】



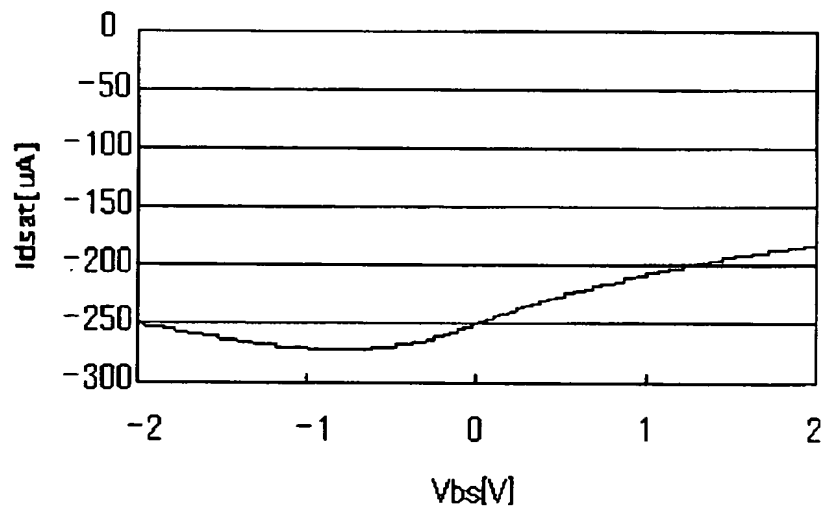
【図 2】



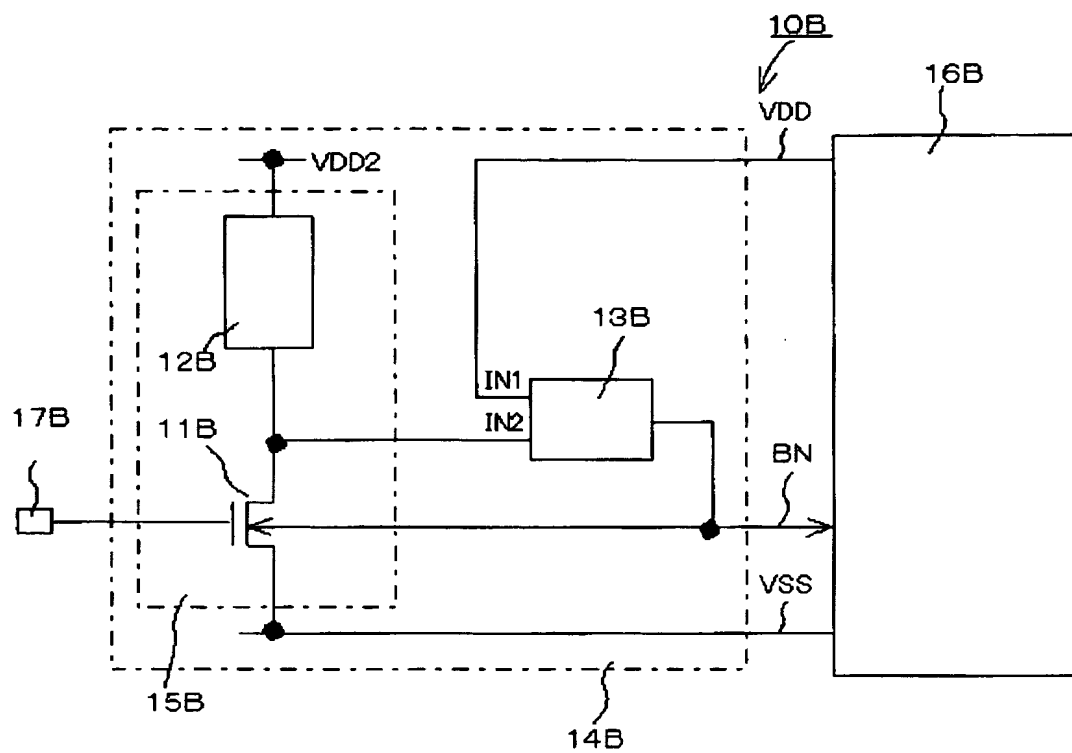
【図 3】



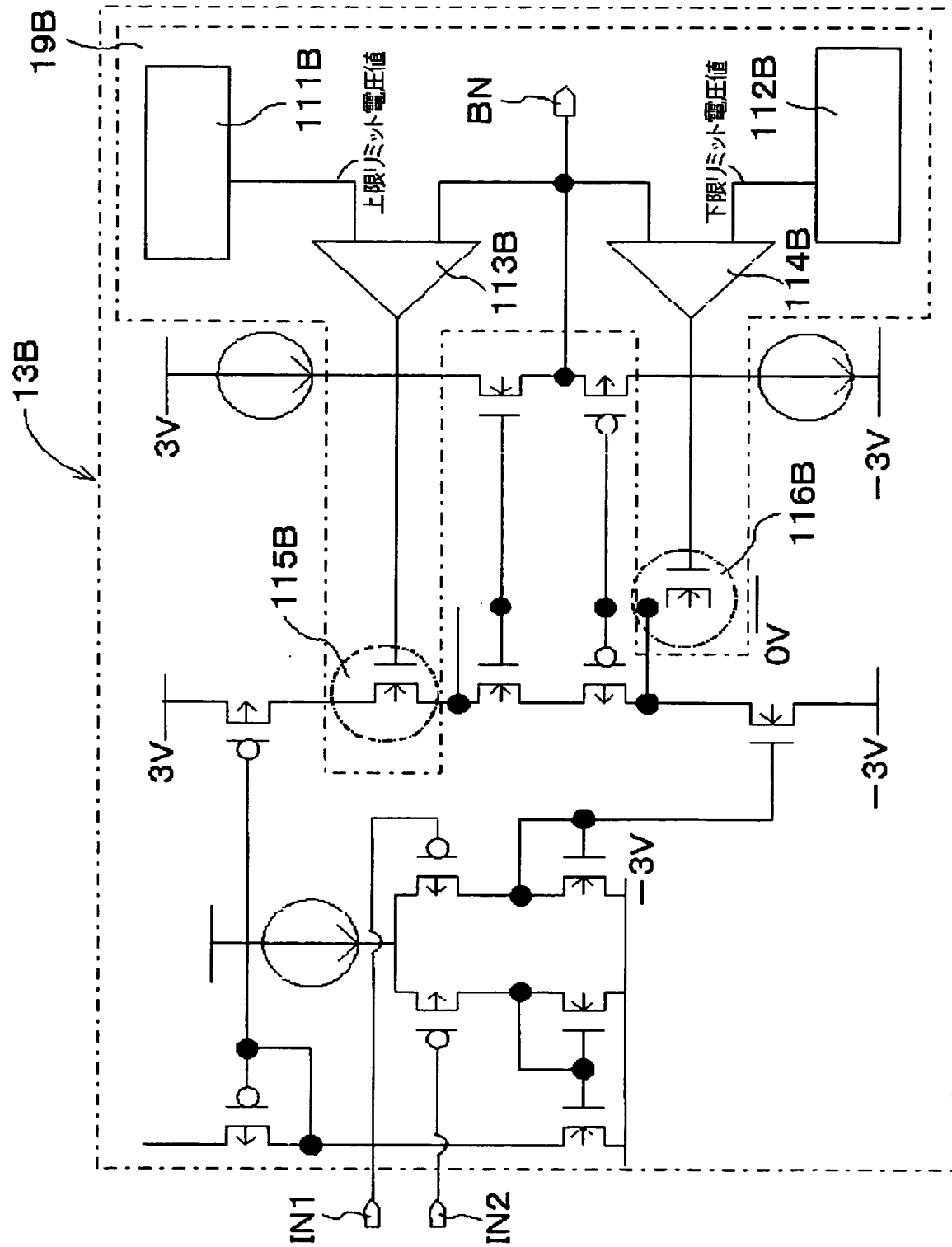
【図 4】

P型MOSFETの $I_{ds} - V_{bs}$ 特性

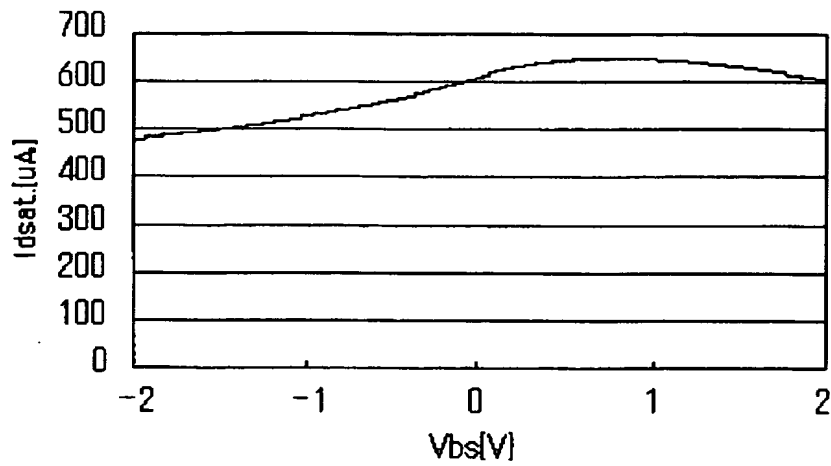
【図 5】



【図 6】

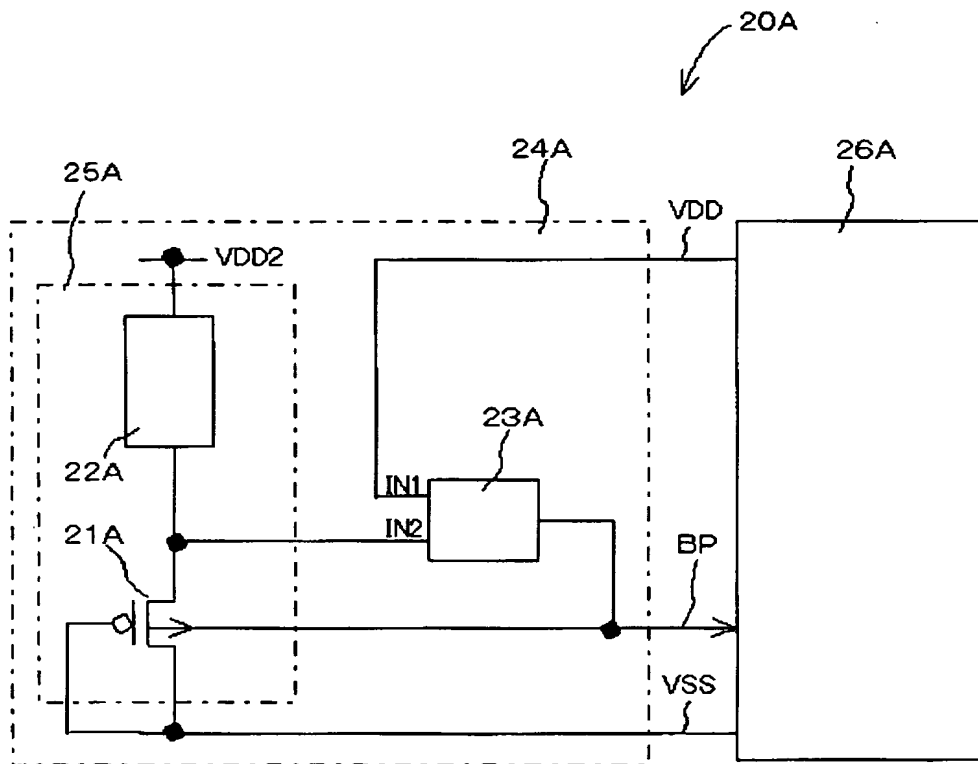


【図 7】

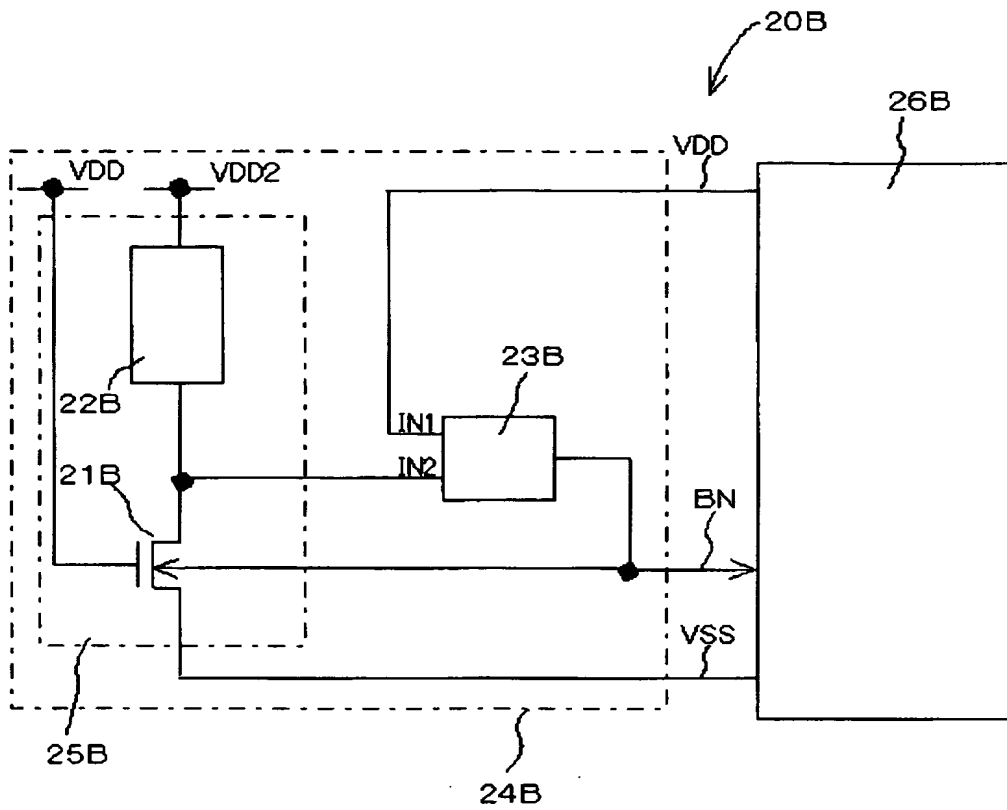


N型MOSFETの $I_{ds} - V_{bs}$ 特性

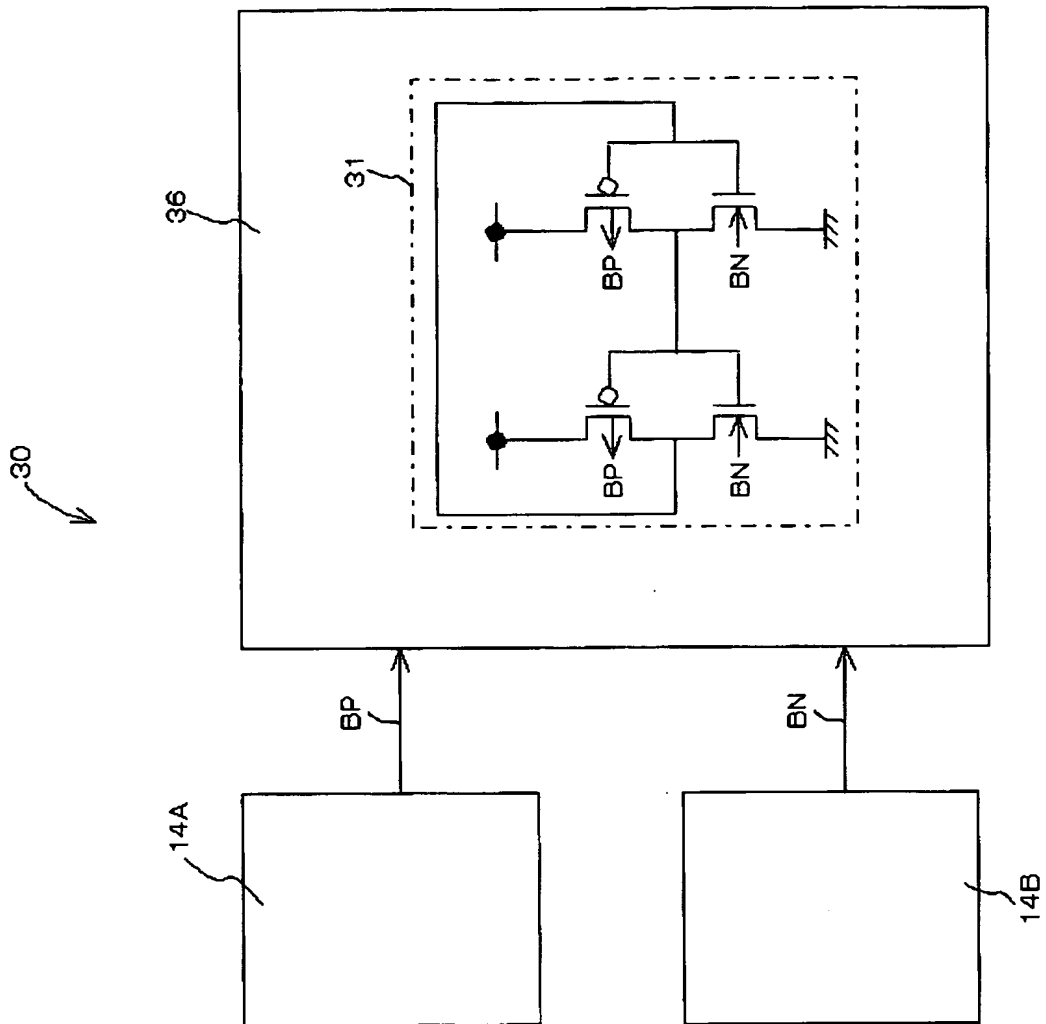
【図 8】



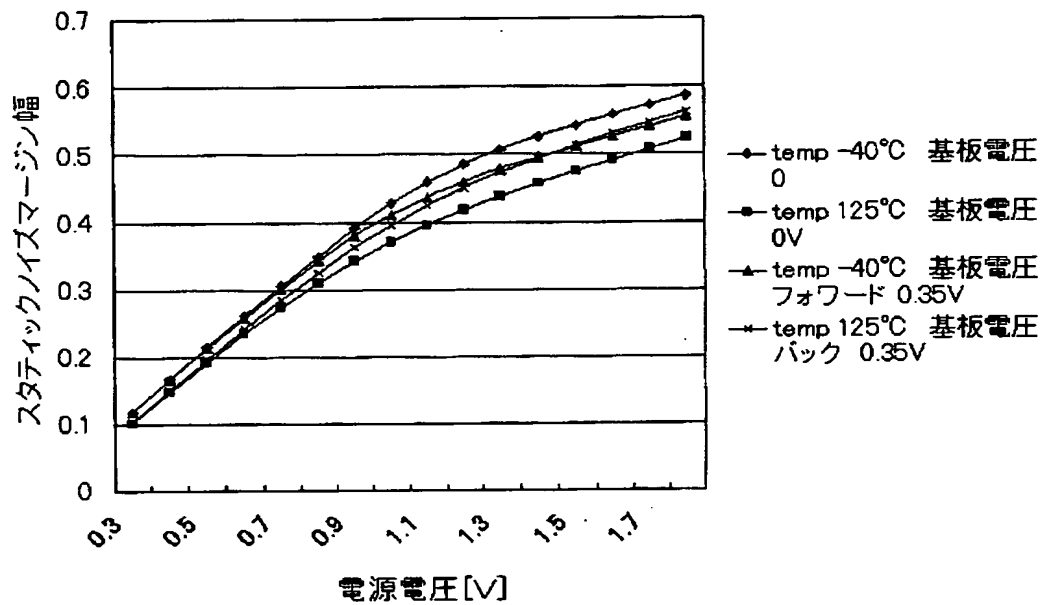
【図 9】



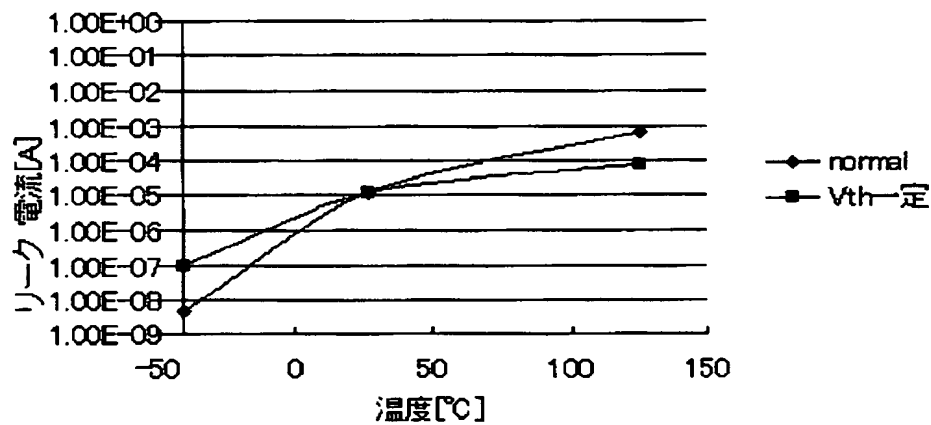
【図 10】



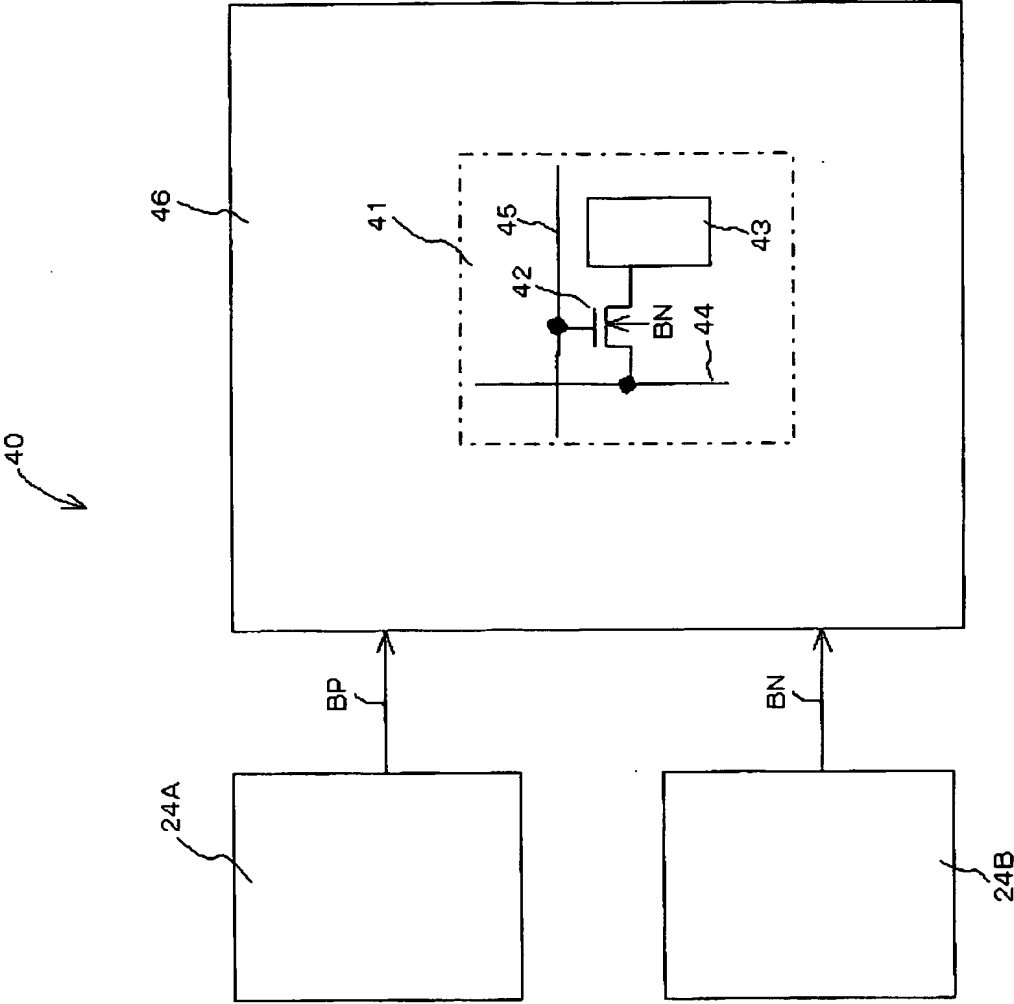
【図 1 1】



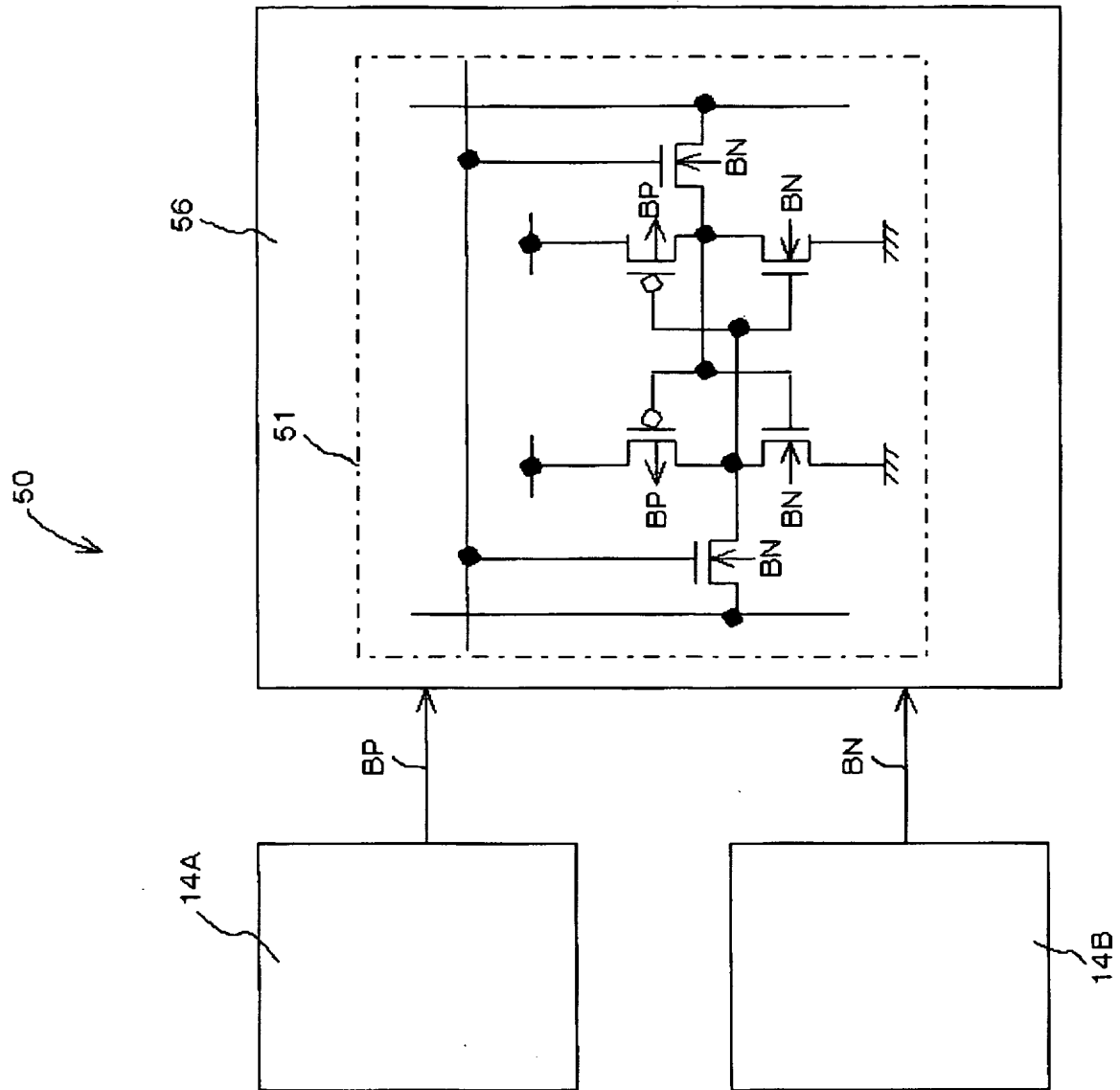
【図 1 2】



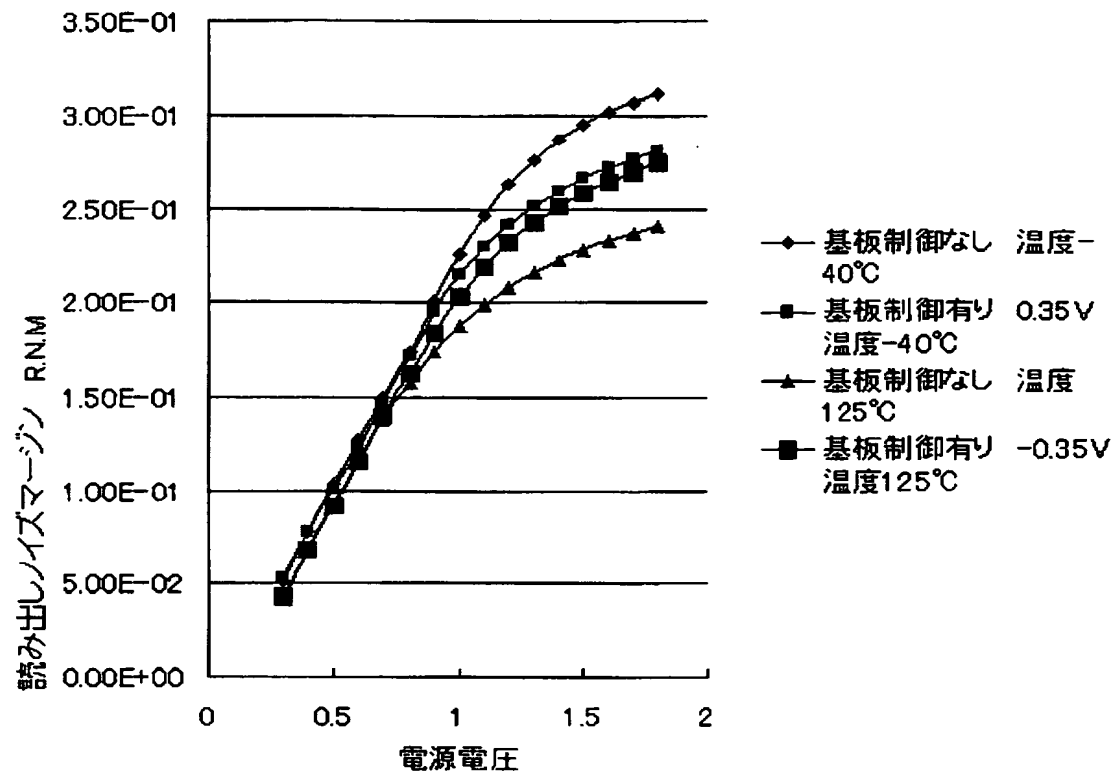
【図 13】



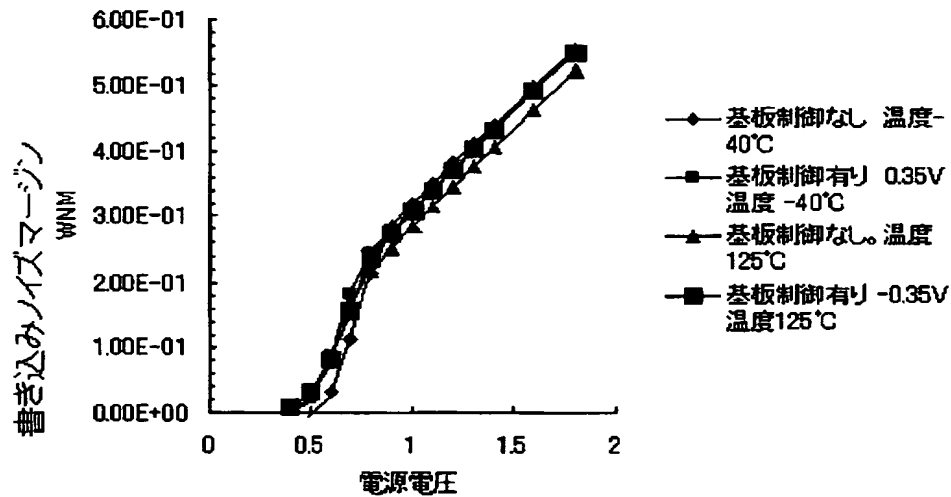
【図 14】



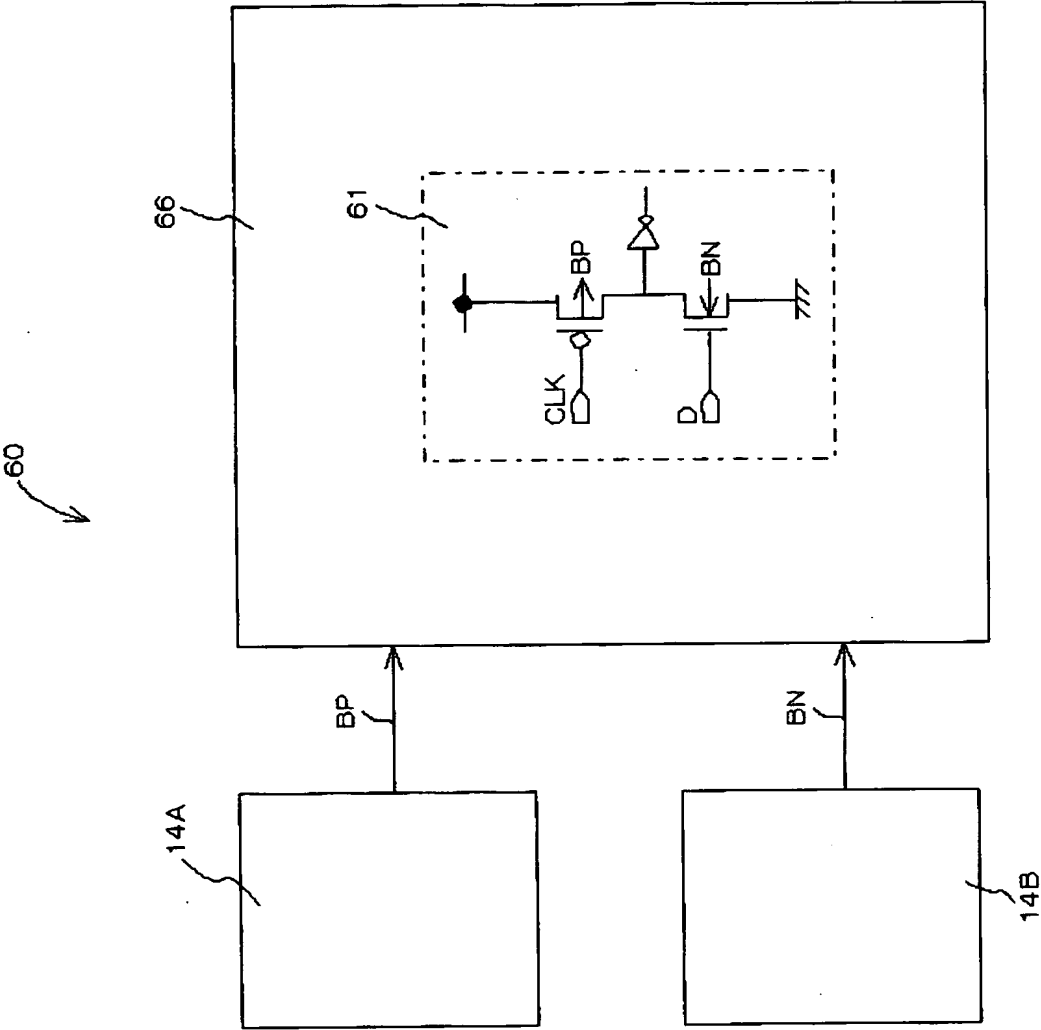
【図 15】



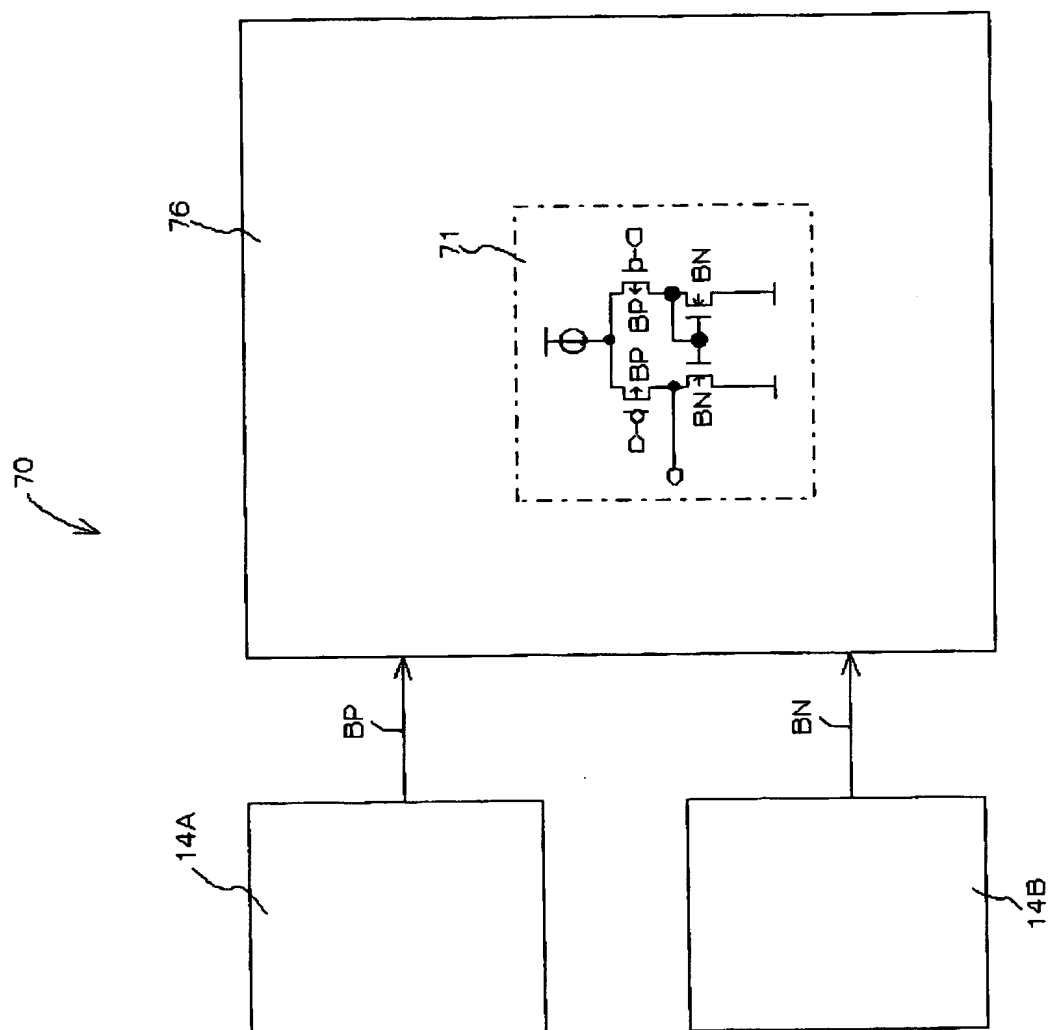
【図 16】



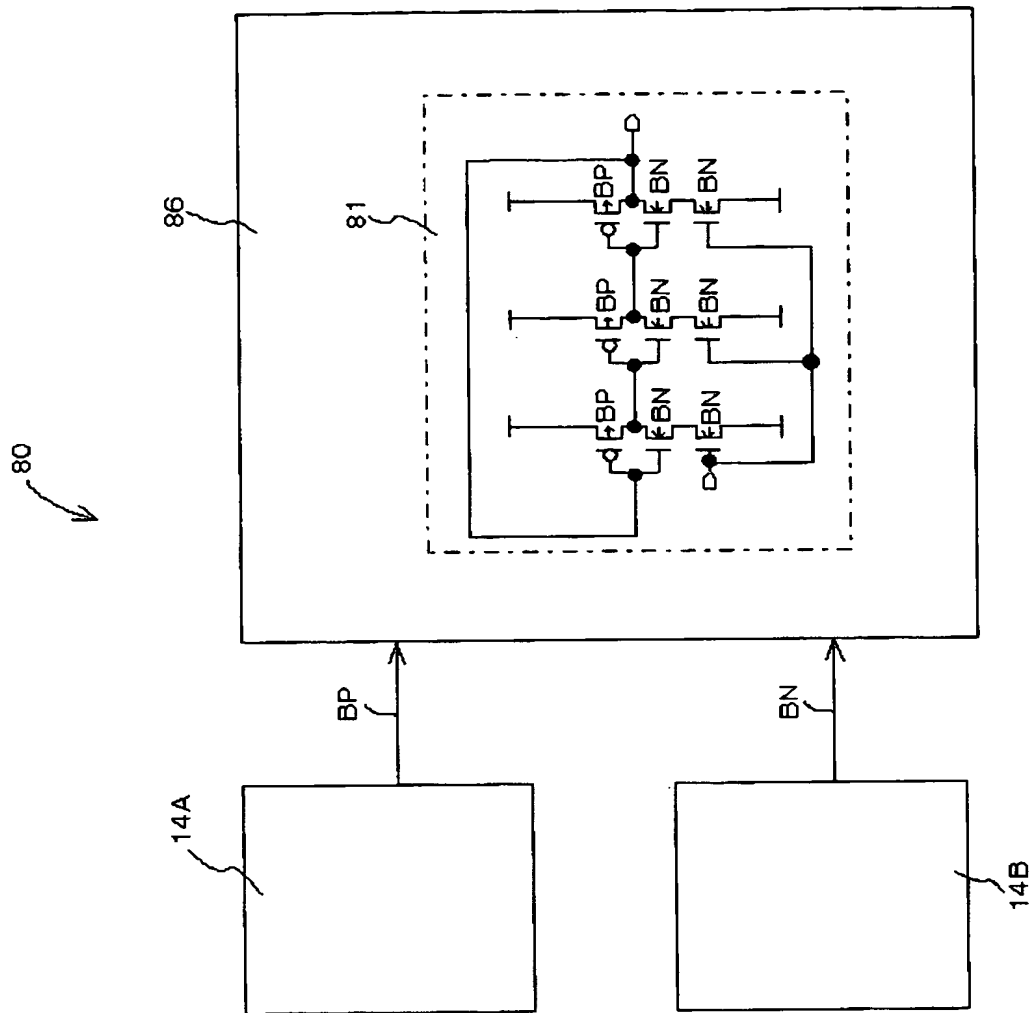
【図 17】



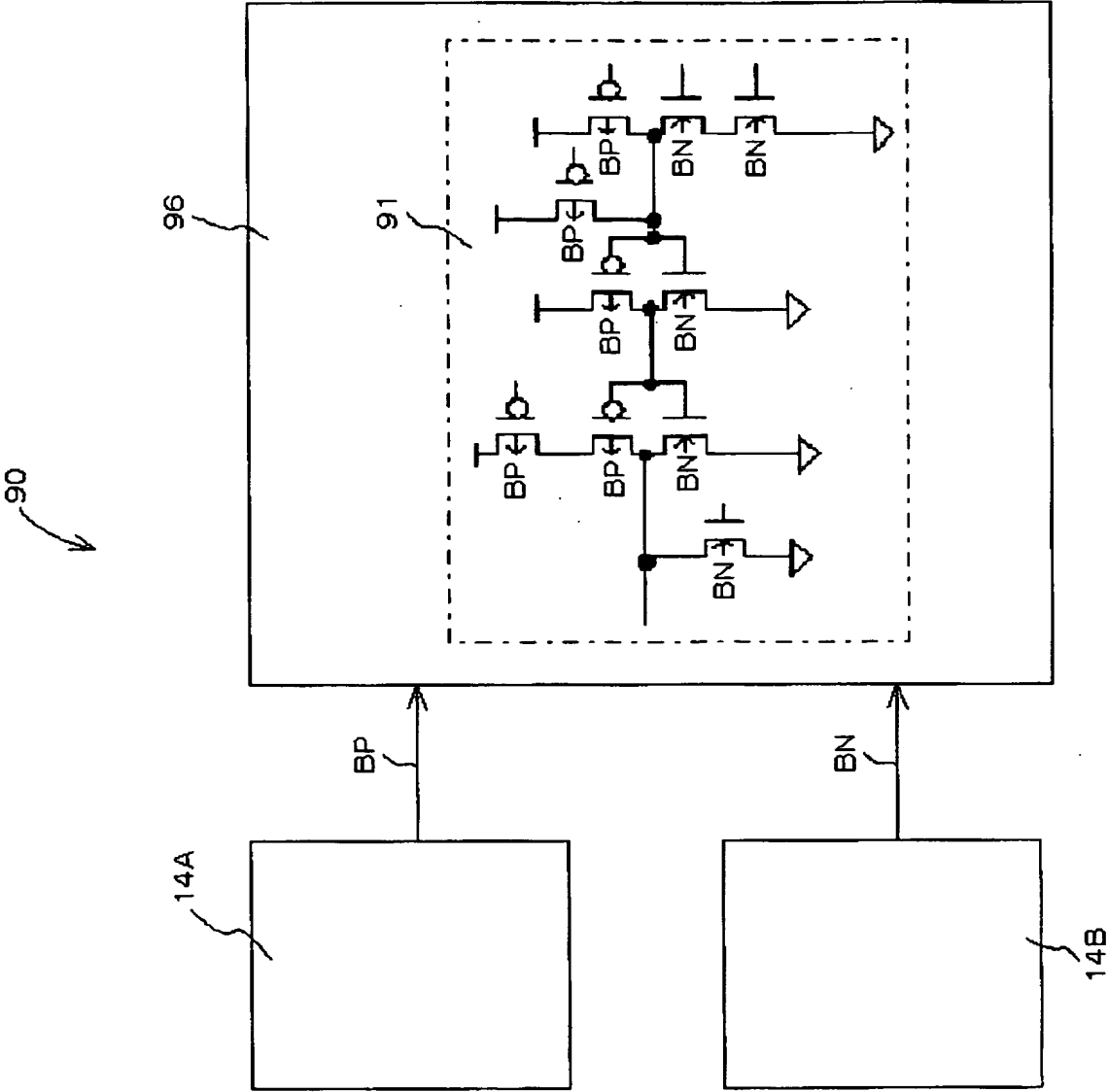
【図 18】



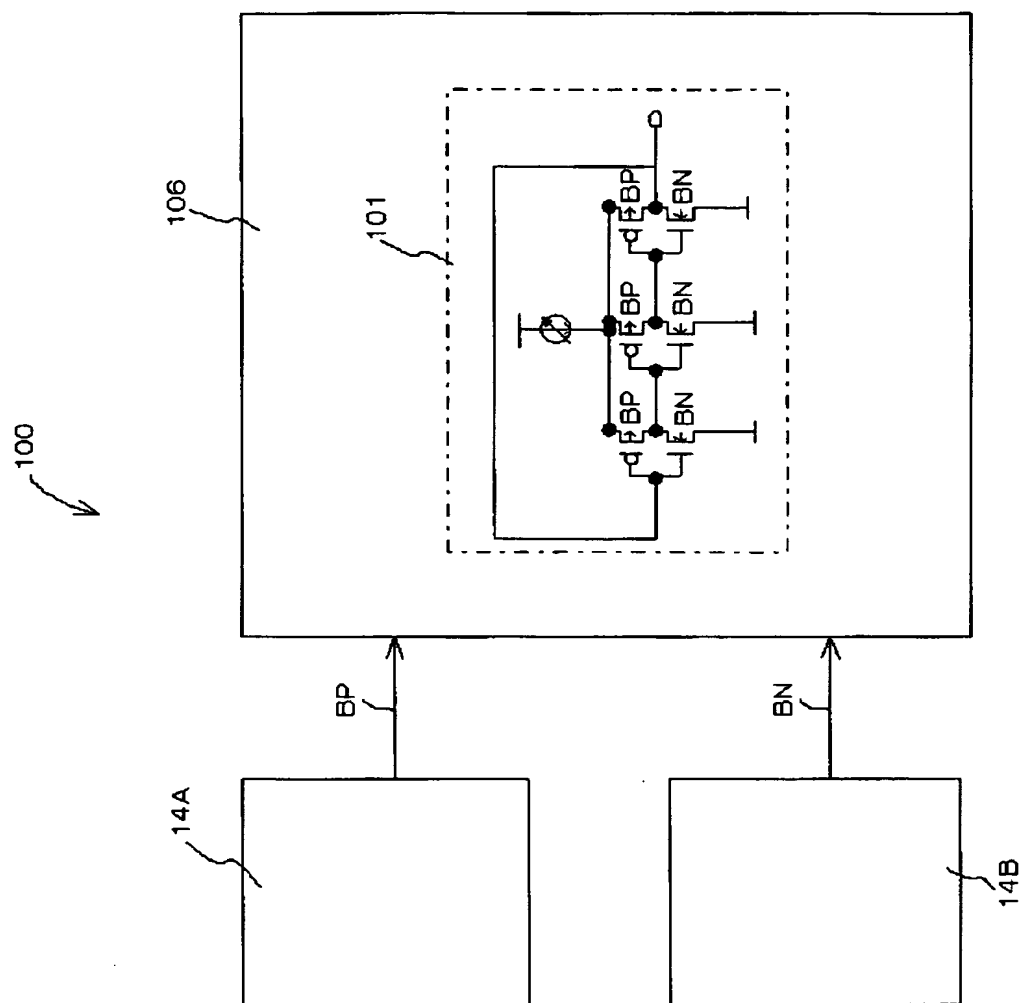
【図 19】



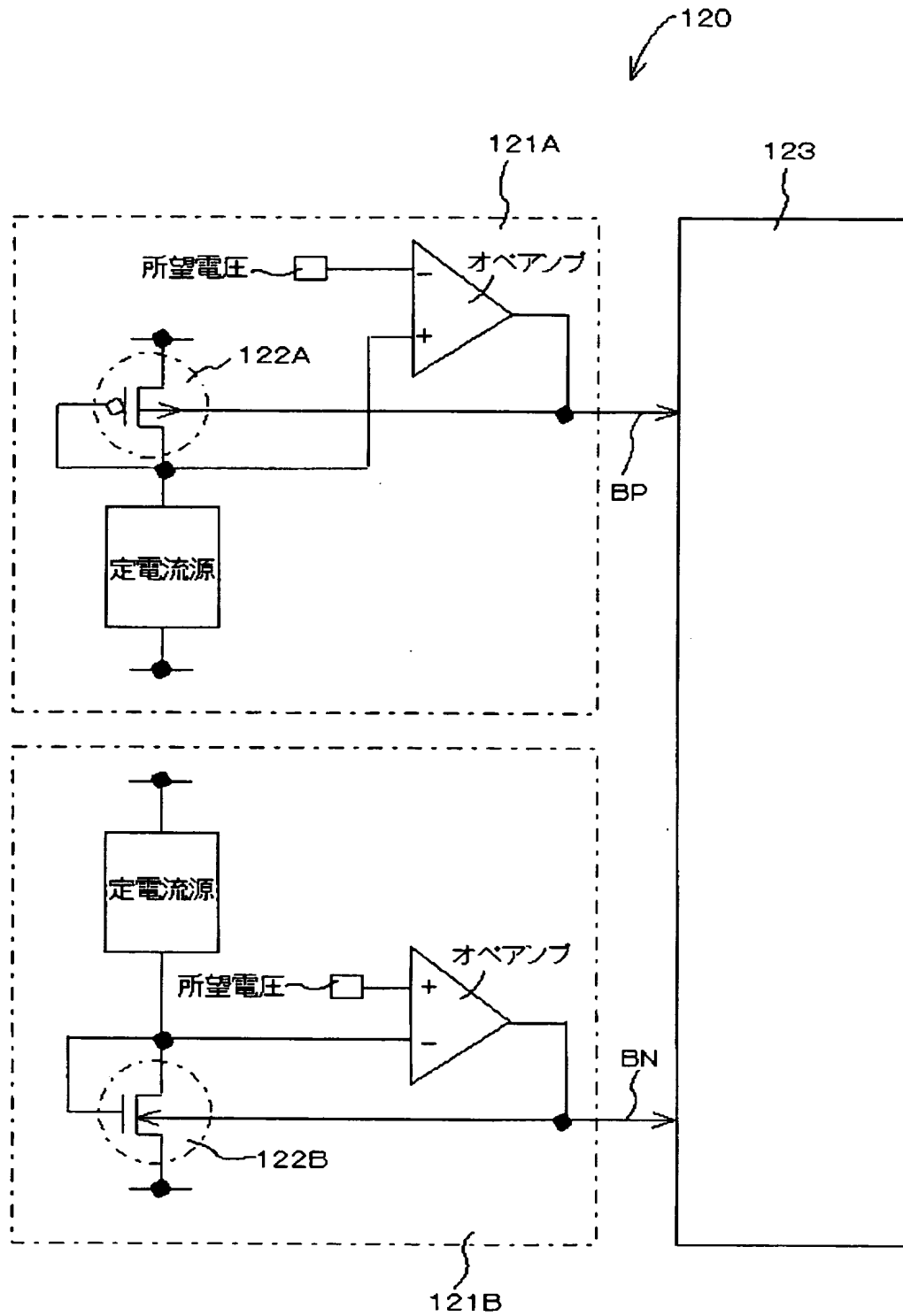
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 MOS F E T のサブスレッショルド領域、あるいは飽和領域のある任意のゲート電圧値のドレイン電流が温度依存性、プロセスばらつき依存性がないように MOS F E T の基板電圧を制御可能であり、動作安定性の向上を図ることができる半導体集積回路装置を提供する。

【解決手段】 半導体基板上に複数の MOS F E T を備えた集積回路本体 16A と、複数の MOS F E T のうちの少なくとも一つのドレイン電流をモニタするモニタ手段 15A と、ドレイン電流が一定になるように、半導体基板の基板電圧 BP を制御する基板電圧調整手段 14A を具備し、モニタ手段 15A は、定電流源 12A と、前記複数の MOS F E T と同一基板上に形成されたモニタ用 MOS F E T 11A と、を具備し、基板電圧調整手段 14A は、モニタ用 MOS F E T 11A のドレイン端子と、集積回路本体 16A の複数の MOS F E T のドレイン端子と、を接地電位に接続した状態で、モニタ用 MOS F E T 11A のソース電位と、あらかじめ決められた基準電位と、を比較する比較手段 13A を具備し、比較手段 13A による比較結果に基づいて出力された出力電圧を、モニタ用 MOS F E T 11A の基板電圧にフィードバックした。

【選択図】 図 1

特願 2 0 0 2 - 3 0 6 1 3 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社